

10715 U.S. PTO
09/12/00
Page 1

UNITED STATES CONTINUING UTILITY PATENT APPLICATION
under 37 C.F.R. § 1.53(b)

Atty. Docket No. 00629.00002

Assistant Commissioner of Patents
Box Patent Applications
Washington, D.C. 20231

JCS11 U.S. PTO
09/660390
09/12/00

Enclosed herewith is a continuing patent application and the following papers:

First Named Inventor (or application identifier): Akihiro NITAYAMA

Title of Invention: SEMICONDUCTOR MEMORY DEVICE AND METHOD OF MANUFACTURING
THE SAME

- ☐ Continuation
☐ Divisional
☒ Continuation-in-Part

of prior application No. 08/982,478, filed December 2, 1997

1. ☒ English and Japanese specification 55 pages (including specification, claims, abstract) / 17 claims
(8 independent)
2. ☒ Declaration/Power of Attorney:
☐ Copy from Prior Application (for continuation or divisional application)
☐ Newly Executed Declaration (for CIP application)
☒ Deferred under 37 C.F.R. § 1.53(f)
☐ Deletion of Inventor(s) - Signed statement attached deleting inventor(s) named in the prior
application, see 37 C.F.R. §§ 1.63(d)(2) and 1.33(b)
☒ Incorporation by Reference - The entire disclosure of the prior application, from which a copy of
the oath or declaration is supplied is considered as being part of the disclosure of the
accompanying application and is hereby incorporated by reference therein
3. ☒ 54 Distinct sheets of ☒ Formal ☐ Informal Drawings (Fig. 1A-33)
4. ☐ Preliminary Amendment
5. ☐ Information Disclosure Statement
☐ Form 1449
☐ A copy of each cited prior art reference
6. ☒ Assignment
☐ Assignment with Cover Sheet attached
☒ Assignment filed in prior application. Application assigned to: **Kabushiki Kaisha Toshiba**

00660390-001200

under 37 C.F.R. § 1.53(b)

Atty. Docket No. 00629.00002

- | | | |
|---------|--------------------|-----------------------------------|
| Country | Application Number | Date of Filing (day, month, year) |
| | | |

12. Calculation of Fees:

| FEES FOR | EXCESS CLAIMS | FEE | AMOUNT DUE |
|------------------------------------------------------------------|---------------|--------|-------------------|
| Basic Filing Fee (37 C.F.R. § 1.16(a)) | | | \$690.00 |
| Total Claims in Excess of 20 (37 C.F.R. § 1.16(c)) | 0 | 18.00 | \$0.00 |
| Independent Claims in Excess of 3 (37 C.F.R. § 1.16(b)) | 5 | 78.00 | \$390.00 |
| Multiple Dependent Claims (37 C.F.R. § 1.16(d)) | 0 | 260.00 | \$0.00 |
| Subtotal - Filing Fee Due | | | \$1,080.00 |
| | MULTIPLY BY | | |
| Reduction by 50%, if Small Entity (37 C.F.R. §§ 1.9, 1.27, 1.28) | 0 | | \$0.00 |
| TOTAL FILING FEE DUE | | | \$1,080.00 |
| Assignment Recordation Fee (if applicable) (37 C.F.R. § 1.21(h)) | 0 | 40.00 | \$0.00 |
| GRAND TOTAL DUE | | | \$1,080.00 |

UNITED STATES CONTINUING UTILITY PATENT APPLICATION

under 37 C.F.R. § 1.53(b)

Page 3

Atty. Docket No. 00629.00002

13. PAYMENT is:

☐ included in the amount of the GRAND TOTAL by our enclosed check. A general authorization under 37 C.F.R. § 1.25(b), second sentence, is hereby given to credit or debit our Deposit Account No. 19-0733 for the instant filing and for any other fees during the pendency of this application under 37 C.F.R. §§ 1.16, 1.17 and 1.18

☒ not included, but deferred under 37 C.F.R. § 1.53(f).

14. All correspondence for the attached application should be directed to:

Banner & Witcoff, Ltd.
1001 G Street, N.W.
Washington, D. C. 20001-4597
Telephone: (202) 508-9100
Facsimile: (202) 508-9299
PTO Customer No. 22907

15. Other: _____

Date: September 12, 2000

By: 

Joseph M. Potenza
Reg. No. 28,175

6 #38-820

SEMICONDUCTOR MEMORY DEVICE
AND METHOD OF MANUFACTURING THE SAME
[CIP (Continuation-In-Part)]

5 CROSS-REFERENCE TO RELATED APPLICATION

This is a Continuation-In-Part application of U.S. Patent Application Serial No. 08/982,478, filed December 2, 1997, the entire contents of which are incorporated herein by reference.

10 TECHNICAL FIELD

The present invention generally relates to semiconductor memory devices and methods of manufacturing the same and, more particularly, to highly integrated dynamic memory devices and methods of manufacturing the same.

15 DESCRIPTION OF THE RELATED ART

Figures 1A and 1B illustrate a memory cell having a MINT architecture and a 0.25 micron design rule which is usable in a 256 Mbit dynamic random access memory (DRAM) device. Specifically, Figure 1A is a top-down view of the trench memory cell and Figure 1B is a cross-sectional view taken along line A-A' of Figure 1A. DRAM cell 550 includes a trench capacitor 555 and a MOS transfer gate 560. Trench capacitor 555 includes a first N⁺-type polycrystalline silicon fill 565, a second polycrystalline silicon fill 567, and a collar oxide 571. Transfer gate 560 includes N-type

00660330-001200

source/drain and drain/source regions 573 and 574 formed in P-type well 575 and a WSix/polycrystalline silicon gate 577 insulatively spaced from the channel region between source/drain region 573 and drain/source region 574. A bit line contact 579 formed in an opening in an insulating layer 80 (of BPSG, for example) and in insulating layer 578 (of silicon nitride, for example) electrically connects source/drain region 573 to bit line 581. A shallow trench isolation (STI) structure 590 electrically isolates DRAM cell 550 from an adjacent DRAM cell and passing word line 592. Passing word line 592 has a WSix/polycrystalline silicon structure. A dielectric layer 587 is formed on bit line 581 and aluminum wirings 589 are formed on dielectric layer 587. One of the aluminum wirings 589 is connected to bit line 581 by a contact stud 591 of tungsten, for example. A diffusion region 583 electrically connects third polycrystalline silicon fill 569 and drain/source region 574 of MOS transfer gate 560. This diffusion region is formed by outdiffusing dopants from the highly doped polycrystalline silicon fill in the storage trench into P-well 575. Diffusion region 583 and third polycrystalline silicon fill 569 constitute a buried strap for connecting trench capacitor 555 to transfer gate 560.

While the memory cell structure of Figures 1A and

09660330.091200

1B has been successfully applied to 256 Mbit DRAM devices, certain problems can adversely impact the manufacturing yield of such devices. With reference to Figure 2A, the outdiffusion of dopants to form

5 diffusion region 583 must be carefully controlled. If the dopants diffuse too far into the semiconductor substrate, the operation of transfer gate 550 can be adversely affected. This, for example, places certain limitations on the thermal processes used in the

10 manufacturing process since long, high temperature processes will cause a greater outdiffusion of the dopants. In addition, various crystal defects can be generated at the intersection of the active area (transfer gate) and the deep trench. For example,

15 various oxidation processes during the manufacturing process can cause expansion of the collar oxide 571. This expansion can lead to dislocations in the silicon. In addition to contributing to the adverse operation of the transfer gate, such dislocations can cause junction

20 leakage from the buried strap diffusion layer 583. Still further, as shown in Figure 2B, in some cases, there can be a discontinuity between the cell array junction and the buried strap caused by ion implantation shadowing due to a passing word line.

25 Problems are also associated with the scaling-down of the DRAM cell of Figures 1A and 1B to form more highly integrated memory devices (e.g., 1 Gbit and 4

Gbit DRAM devices). In particular, the scaled-down memory cell must nonetheless provide a capacitor having a size (i.e., a capacitance) for storing a charge which is sufficient to ensure that data may be correctly written to and read out from the memory cell. Since scaling-down generally results in a shrinking of the horizontal dimensions of the memory cell, one possible way to provide a sufficiently-sized capacitor would be to increase the depth of the trench within which the capacitor is formed. In this way, the horizontal dimensions of capacitor may be scaled down while providing a capacitor of the same size or at least scaled down to a lesser degree. However, the high aspect ratios associated with such deep trenches create difficulties in the processes needed to fill the trenches. In short, to increase the size of trench capacitor 555 during scale-down, either the depth of the trench or the horizontal dimensions of the trench must be increased. Since increasing the depth suffers from processing problems as described above and since increasing the horizontal dimensions is contrary to scaling-down goal, it is difficult to increase the integration density of memory cells having the memory cell structure shown in Figures 1A and 1B for new generations memory devices.

One solution to this scaling-down problem is to overlap the transistor area and the deep trench area.

Such a transistor over capacitor (TOC) arrangement is shown in U.S. Patent No. 4,649,625 to Lu, which is incorporated herein by reference. In this structure, the transfer gate is formed on epitaxial silicon which has been laterally grown over an insulator formed on the deep trench. Such laterally grown epitaxial silicon often suffers from defects which can adversely affect the operating characteristics of the transistor and thus of the memory cell itself.

It would be desirable to provide semiconductor memory devices and methods of manufacturing the same which overcome these and other problems.

SUMMARY OF THE INVENTION

この発明の第1の形態による半導体記憶装置は、半導体基板と、この半導体基板上に形成された第1導電型の第1半導体領域と、この第1半導体領域上に形成され、前記第1導電型とは反対導電型である第2導電型の第2半導体領域と、トレンチを有するトレンチキャパシタであって、前記トレンチは前記第1半導体領域及び前記第2半導体領域を通過し、前記トレンチキャパシタの上部が前記第2半導体領域の上表面には到達しないように形成され、前記トレンチ内には導電体トレンチフィルが形成されるトレンチキャパシタと、それぞれが前記第2半導体領域上に形成された一対のゲート電極であり、それぞれが前記トレンチキャパシタの上方に位置している一対のゲート電極と、前記一対のゲート電極のそれぞれを覆うように形成された一対の絶縁層と、前記一対の絶縁層のそれぞれに自己整合するように前記一対の絶縁層相互間に形成された導電層であり、この導電層の先端は前記第2半導体領域とは絶縁された状態で前記第2半導体領域の内部に達しており、かつ前記導電層は前記トレンチキャパシタの前記導電体トレンチフィルと電気的に接続されている導電層と、前記導電層を中心にして互いに対向するように配置され、それぞれが前記導電層と直接に接触する。前記第2半導体領域内に形成された第1導電型の一対の第3半導体領域であって、この一対の第3半導体領域のそれぞれは前記一対のゲート電極のそれぞれを有するトランジスタのソース、ドレインのいずれか一方を構成し、前記一対の第3半導体領域のそれぞれは実質的に一様な深さで形成されている一対の第3半導体領域とを有することを特徴とする。

この発明の第2の形態による半導体記憶装置は、半導体基板と、この半導体基板に一定ピッチで配列形成され複数のトレンチキャパシタと、これらのトレンチキャパシタが形成された半導体基板上に形成された半導体層と、この半導

体層に埋め込み形成されて、隣接する二つのトレンチキャパシタにまたがる複数の能動素子領域を区画する素子分離絶縁膜と、前記各能動素子領域に、ソース、ドレイン拡散層の一方を共有し他方が隣接する二つのトレンチキャパシタの領域上に位置するように２個ずつ形成されて、ゲートが一方に連続するワード線に接続された複数のトランジスタと、前記各トランジスタの前記ソース、ドレイン拡散層の他方を対応する前記トレンチキャパシタのキャパシタノード層に接続するコンタクト層と、前記ワード線と交差して配設されて前記トランジスタのソース、ドレイン拡散層の一方に接続されたビット線とを有することを特徴とする。

この発明において、トレンチキャパシタは具体的には、(a) 最小加工寸法をFとして一辺が2Fの略正方形であり、その正方形の対角線方向を前記ワード線とビット線の直交二方向に一致させて、その正方形の直交する二辺の方向にスペースが1F以下の一定ピッチで配列されるか、或いは(b) 最小加工寸法をFとして一辺が2Fの略正方形であり、その正方形の辺の方向を前記ワード線とビット線の直交二方向に一致させ、ビット線方向にスペースが2F以上の一定ピッチで且つ、隣接するビット線では順次1/2ピッチずつずれた状態に配列されている。

(a), (b) いずれのトレンチキャパシタ配列の場合も、能動素子領域は、ビット線方向に一定ピッチで且つ隣接するビット線で順次1/4ピッチずつずれた状態に配列される。

この発明において、トランジスタの拡散層をトレンチキャパシタのキャパシタノード層に接続するためにコンタクト層が半導体層に埋め込まれるが、その具体的なコンタクト層の態様には、次の手法が用いられる。

(1) コンタクト層を、トランジスタ形成後に、トランジスタ拡散層を貫通してキャパシタノード層に達するように埋め込み形成する。

(2) 能動素子領域を形成する半導体層が第1及び第2のエピタキシャル成長層により構成する。そして、コンタクト層は、第2のエピタキシャル成長層の形成前に第1のエピタキシャル成長層に前記キャパシタノード層に達するように埋め込み形成する。トランジスタ拡散層は第2のエピタキシャル成長層形成後に形成して、その底面がコンタクト層の上面に接続されるようにする。

(3) コンタクト層を、トランジスタ形成前に半導体層にキャパシタノード層に達するように埋め込み形成し、トランジスタ拡散層が、コンタクト層の上部側方に形成された埋め込み拡散層を介してコンタクト層に接続されるようにする。

(4) コンタクト層を、トランジスタ形成前に半導体層にキャパシタノード層に達するように埋め込み形成し、トランジスタ拡散層は、その表面に形成された接続導体を介してコンタクト層の上面に接続されるようにする。

上記第2の形態の発明において、トレンチキャパシタは具体的に、トレンチ面から基板に拡散形成された半導体基板と逆導電型層からなる埋め込みプレートとを有する。この埋め込みプレートの上端が半導体基板の表面位置より下になるように形成した場合には、トレンチキャパシタの上部に寄生トランジスタ等の動作を防止するためのカラー絶縁膜を形成することが必要になる。従ってまた、キャパシタコンタクト層も２段階に埋め込むことが必要になる。

これに対して、埋め込みプレートを半導体基板の表面まで形成する構造としてもよい。この場合には、トレンチキャパシタは、トレンチ内壁全体にキャパシタ絶縁膜を形成し、１ステップでコンタクト層を埋め込んだ簡単な構造とすることができる。これにより、プロセスの簡略化が図られ、またトレンチキャパシタの実質面積が大きくなって、後のコンタクト孔形成の際の合わせズレに対する余裕

が大きくなる。

また上述した(4)の表面ストラップ方式を採用する場合、キャパシタノード層上に埋め込まれるコンタクト層と、この上に形成されるトランジスタ拡散層との間には一部重なる状態で一定の位置ズレを与えることが必要である。そのため

5 には、例えば、能動素子領域をその中心がトレンチキャパシタの中心を通るようにレイアウトする場合には、コンタクト層はトレンチキャパシタの中心からワード線方向にずれた位置に形成する。或いは、②コンタクト層をトレンチキャパシタの中心に配置する場合に、能動素子領域がその中心がトレンチキャパシタの中心からワード線方向にずれた状態で配設する。

10 またこの発明において、トレンチキャパシタはその上半導体層をエピタキシャル成長させる際にキャップ絶縁膜で覆われる。このため、トレンチキャパシタ領域上には多結晶半導体層が成長する。従って、能動能動素子領域にトランジスタ形成に先立ってウェルを形成する場合に、ウェルの境界が多結晶半導体層に接しない状態とすることが好ましい。具体的に、ウェルとトレンチキャパシタの埋め込みプレートとの間で形成されるp-n接合面が、多結晶層領域より上に形成されるようにすることで、接合リークを低減することができる。

この発明において、半導体層は、キャパシタが形成された半導体基板に貼り合わせられた別の半導体基板のバルク半導体層と、このバルク半導体層に形成されたエピタキシャル成長層とから構成することもできる。この場合、トランジスタ拡散層をキャパシタノード層に接続するコンタクト層は、エピタキシャル成長層の形成前にバルク半導体層にキャパシタノード層に達するように埋め込み形成される。そして、ソース、ドレイン拡散層はエピタキシャル成長層形成後に形成されて、その底面がコンタクト層の上面に接続されるようにする。

また基板貼り合わせ技術を用いる場合に、好ましくは基板接合面には基板分離用絶縁膜を介在させる。そして、素子分離絶縁膜を、ビット線方向の素子分離領域に基板分離用絶縁膜に達する深さに埋め込み形成された第1の素子分離絶縁膜と、この第1の素子分離絶縁膜と一部重なりビット線方向とワード線方向の素子分離領域に第1の素子分離絶縁膜より浅く埋め込み形成された第2の素子分離絶縁膜とから構成する。

30 この発明の第3の形態による半導体装置は、半導体基板と、この半導体基板に能動素子領域を区画するために埋め込み形成された、第1の絶縁膜とこれより浅い第2の絶縁膜とからなる素子分離絶縁膜と、この素子分離絶縁膜により区画された前記能動素子領域に形成された素子とを有することを特徴とする。

この発明の第4の形態による半導体記憶装置の製造方法は、半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、前記トレンチキャパシタが形成された半導体基板上に半導体層をエピタキシャル成長させる工程と、前記半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記トレンチキャパシタ上に位置するように、且つゲート電極が一方に連続するワード線となるように形成する工程と、前記ゲート電極の間に前記ソース、ドレイン拡散層の他方を貫通して前記キャパシタノード層に達するコンタクト層を埋め込む工程と、前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特

徴とする。

この発明の第5の形態による半導体記憶装置の製造方法は、半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、前記トレンチキャパシタが形成された半導体基板上に第1の半導体層をエビタキシャル成長させる工程と、前記第1の半導体層に前記キャパシタノード層に達するコンタクト層を埋め込む工程と、前記コンタクト層が埋め込まれた第1の半導体層上に第2の半導体層をエビタキシャル成長させる工程と、前記第2の半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記コンタクト層の上面に接続されるように、且つゲート電極が一方に連続するワード線となるように形成する工程と、前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする。

この発明の第6の形態による半導体記憶装置の製造方法は、半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、前記トレンチキャパシタが形成された半導体基板上に半導体層をエビタキシャル成長させる工程と、前記半導体層に前記トレンチキャパシタのキャパシタノード層に達するコンタクト層をその上端部が前記半導体層に形成される不純物拡散層に接続された状態で埋め込み形成する工程と、前記半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記不純物拡散層を介して前記コンタクト層に接続されるように、且つゲート電極が一方に連続するワード線となるように形成する工程と、前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする。

この発明の第7の形態による半導体記憶装置の製造方法は、半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、前記トレンチキャパシタが形成された半導体基板上に半導体層をエビタキシャル成長させる工程と、前記半導体層に前記トレンチキャパシタのキャパシタノード層に達するコンタクト層を埋め込み形成する工程と、前記半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記トレンチキャパシタ領域上に位置するように、且つゲート電極が一方に連続するワード線となるように形成する工程と、前記ソース、ドレイン拡散層の他方を対応する前記コンタクト層に接続するための表面接続導体を前記ワード線に自己整合された状態に形成する工程と、前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする。

この発明の第8の形態による半導体記憶装置の製造方法は、半導体基板に、キ

5 ャパシタノード層がキャップ絶縁膜で覆われた状態で複数のトレンチキャパシタを一定ピッチで配列形成する工程と、前記トレンチキャパシタが形成された半導体基板上に基板分離用絶縁膜を介して別の半導体基板を貼り合わせることに
10 により第1の半導体層を形成する工程と、前記第1の半導体層に前記キャパシタノード層に達するコンタクト層を埋め込む工程と、前記コンタクト層が埋め込まれた第1の半導体層上に第2の半導体層をエピタキシャル成長させる工程と、
15 前記第1及び第2の半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域に二つずつのトランジスタをそのソ
20 ース、ドレイン拡散層の一方を共有し、他方が前記コンタクト層の上面に接続されるように、且つゲート電極が一方に連続するワード線となるように形成する工程と、前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする。

この発明によると、トレンチキャパシタが埋め込まれた基板上に半導体層を形成してトランジスタを形成することにより、トレンチキャパシタを最密に配置してその占有面積を極大化することができる。またこれにより、トレンチキャパシタ溝加工の際のアスペクト比を下げ、更にキャパシタ面積を大きくしてトランジスタとの接続部の合わせずれに対する耐性を大きくいものとすることができる。

These and other features and advantages of the
20 present invention will be better understood from a reading of the following detailed description in conjunction with the accompanying drawings.

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

25 Figures 1A and 1B are a cross-sectional view and a top-down view, respectively, of a dynamic random access memory cell having a MINT architecture.

Figures 2A and 2B are used to illustrate various problems associated with the memory cell structure
30 shown in Figures 1A and 1B.

Figure 3 is a top-down view of a semiconductor memory device in accordance with a first embodiment of the present invention.

Figures 4A and 4B are cross-sectional views taken
35 along lines 4A-4A' and 4B-4B' of Figure 3, respectively.

Figures 5A-5J are cross-sectional views corresponding to Figure 4A which illustrate a method of manufacturing the semiconductor memory device of Figures 3, 4A, and 4B.

5 Figure 6 is a top-down view of a semiconductor memory device in accordance with a second embodiment of the present invention.

Figure 7 is a cross-sectional view taken along line 7-7' of Figure 6.

10 Figure 8 illustrates a wafer-bonding technique which may be used in the process of forming the semiconductor memory device of Figure 6.

15 Figures 9A and 9B are storage node cross-sections corresponding to the views of Figures 4A and 4B for a semiconductor memory device in accordance with a third embodiment of the present invention.

Figure 10 is a top-down view of a semiconductor memory device in accordance with a fourth embodiment of the present invention.

20 Figure 11 is a cross-sectional view taken along line 11-11' of Figure 10.

Figure 12 is a cross-sectional view taken along line 12-12' of Figure 10.

25 Figures 13A-13J are cross-sectional views which illustrate a method of manufacturing the semiconductor memory device of Figures 10.

Figures 14A-14D are cross-sectional views which

illustrate a method of manufacturing a semiconductor memory device in accordance with a fifth embodiment of the present invention.

Figure 15 is a top-down view of a semiconductor memory device in accordance with a sixth embodiment of the present invention.

Figures 16A-16E are cross-sectional views which illustrate a method of manufacturing a semiconductor memory device in accordance with a seventh embodiment of the present invention.

Figure 17 is a cross-sectional view of a semiconductor memory device in accordance with an eighth embodiment of the present invention.

Figure 18 is a top-down view of a semiconductor memory device in accordance with a ninth embodiment of the present invention.

Figures 19A-19F are cross-sectional views which illustrate a method of manufacturing the semiconductor memory device of Figure 18.

Figure 20 is a top-down view of a semiconductor memory device in accordance with a tenth embodiment of the present invention.

Figure 21 is a cross-sectional view taken along line 21-21' of Figure 20.

Figure 22 is a cross-sectional view taken along line 22-22' of Figure 20.

Figures 23A-23H are cross-sectional views which

illustrate a method of manufacturing the semiconductor memory device of Figures 20, 21, and 22.

Figure 24 is a top-down view of a semiconductor memory device in accordance with an eleventh embodiment of the present invention.

Figure 25 is a top-down view of a semiconductor memory device in accordance with a twelfth embodiment of the present invention.

Figures 26A-26D are cross-sectional views which illustrate a method of manufacturing a semiconductor memory device in accordance with a thirteenth embodiment of the present invention.

Figure 27 is a cross-sectional view which illustrate a semiconductor memory device in accordance with a fourteenth embodiment of the present invention.

Figures 28A-28F are cross-sectional views which illustrate a method of manufacturing the semiconductor memory device of Figure 27.

Figure 29 is a top-down view of a semiconductor memory device in accordance with a fifteenth embodiment of the present invention.

Figure 30 is a cross-sectional view taken along line 30-30' of Figure 29.

Figure 31 is another top-down view of the semiconductor memory device in accordance with the fifteenth embodiment of the present invention.

Figure 32 is a cross-sectional view which

illustrate the semiconductor memory device of Figure 29.

Figure 33 is a cross-sectional view which illustrate the semiconductor memory device of Figure 29.

5

DETAILED DESCRIPTION OF THE INVENTION

Figure 3 is a top-down view of a semiconductor memory device 100 in accordance with a first embodiment of the present invention. Figure 4A is a cross-sectional view taken along line 4A-4A' of Figure 3 and Figure 4B is a cross-sectional view taken along line 4B-4B' of Figure 3. The cross-sectional view of Figure 4A is extended to a support circuit region of the semiconductor memory device which is not shown in Figure 3. Generally, circuits such as decoders, sense amplifiers, and the like are formed in the support circuit region. With reference to Figure 3, memory device 100 includes bit lines 102 formed to extend in a first direction (i.e., horizontally in Figure 3) and word lines 136 formed to extend in a second direction (i.e., vertically in Figure 3). The portions of the word lines which extend over the channel regions of the transfer transistors constitute the gate electrodes of the transfer transistors. Bit line contacts 106 are arranged at a one-quarter pitch. That is, the bit line contacts for every fourth bit line are vertically aligned. A plurality of active areas AA are defined by shallow trench isolation (STI) structures 108 (see

Figures 4A and 4B). Active areas AA have a width extending in the word line direction and a length extending in the bit-line direction. The trench capacitors (storage nodes) of the memory cells are formed in deep trenches 110. Deep trenches 110 have a width extending in the bit line direction and a length extending in the word line direction. Storage node contacts 112 are located between adjacent ones of the word lines and provide an electrical connection between the trench capacitors and the transfer gates.

As can be seen with reference to Figures 4A and 4B, an N-type diffusion region 116 and a P-type well region 118 are provided in the memory cell array region of a P-type silicon substrate 114. P-type well region 118 is also provided in the support circuit region of the silicon substrate 114. N-type diffusion region 116 has an impurity concentration (e.g., more than $1 \times 10^{17} \text{ cm}^{-3}$ at the peak) which is higher than the impurity concentration of the silicon substrate 114 and serves as a buried plate electrode for the memory cells of the memory device 100. P-type well region 118 has an impurity concentration of approximately $1 \times 10^{17} \text{ cm}^{-3}$ to $1 \times 10^{18} \text{ cm}^{-3}$. The trench capacitors include a first trench fill 120 which is insulated from the buried plate electrode 116 by a storage node insulating layer 122. Storage node insulating film 122 may, for example, be a nitride/oxide (NO) film includ-

ing a layer of silicon nitride (Si_3N_4) and a layer of silicon dioxide (SiO_2). A second trench fill 124 is insulated from P-well 118 and buried plate electrode 116 by a collar oxide film 126. Collar oxide film 126 may, for example, be a silicon dioxide (SiO_2) film. A silicon dioxide (SiO_2) layer 128 is formed at the upper portion of deep trenches 110 and is spaced from P-well region 118, from collar oxide film 126, and from second trench fill 124 by a silicon dioxide (SiO_2)/silicon nitride (Si_3N_4) liner layer 130. Each transfer gate includes spaced apart N-type source and drain regions 132 and 134. As shown in Figure 4A, adjacent transfer transistors formed in a given active area have a common N-type drain region 134. Each transfer transistor further includes a gate electrode 136 which is insulatively spaced from a channel region between the N-type source and drain regions 132 and 134 by a gate insulating layer 138 of, for example, silicon dioxide (SiO_2). Gate electrode 136 is a polycide gate electrode including a polysilicon layer 136a and a silicide layer 136b (e.g., tungsten silicide) formed on the polysilicon layer, and a cap nitride layer (not shown) formed on silicide layer 136b. A conformal barrier layer 140 of, for example, silicon nitride (Si_3N_4), is formed on gate insulating layer 138 and the gate electrodes 136 and a BPSG layer 142 fills in the depressions in the barrier layer 140. Self-aligned

002160"0639960

storage node contacts (strap layers) 112 of polysilicon, for example, electrically connect the trench capacitors (via an opening formed in insulating layer 128 and liner layer 130) to the source regions 132 of the transfer transistors. As can be seen in Figure 4A, storage node contacts 112 are formed between adjacent gate electrodes 136 and are insulated from P-well region 118 by an insulating layer 146. Bit line contacts 106 of, for example, polysilicon, are formed to contact the common drain region between adjacent transfer transistors. A first interlayer insulating film 148 of, for example, P-TEOS, is formed on the upper surfaces of barrier layer 140, BPSG layer 142, storage node contacts 112, and bit line contacts 106. Bit lines 102 and contacts 103 are formed in the memory cell region by a dual damascene process in which vias 149 and trenches 150 are formed in insulating layer 148, a metal such as tungsten is deposited on insulating layer 148 and in the vias and the trenches, and the deposited metal is planarized so as to be substantially level with the upper surface of insulating layer 148 (see Figure 4B). Similarly, in the support circuit region, damascene and/or dual damascene processes may be utilized to form contacts 160, 161 to gates and diffusion regions and to form wiring 162. A second interlayer insulating film 152 of, for example, P-TEOS, is formed on first interlayer insulating film 148.

A metallization layer is formed on the second inter-layer insulating film 152 and is patterned to form wirings 156. As shown in Figure 4A, in the support circuit region, a contact 164 formed in an opening 163 in second interlayer insulating film 152 connects one of the wirings 156 to wiring 162.

A method for manufacturing the above-described semiconductor memory device will be described with reference to Figures 5A-5J. Turning to Figure 5A, the surface of a P-type silicon substrate 114 is thermally oxidized to form a first pad oxide layer 202 of silicon dioxide (SiO_2) having a thickness of about 10 nanometers. The thermal oxidation is performed at about 900°C in an atmosphere of dry O_2 . Substrate 114 may be a silicon wafer or an epitaxial layer formed on a silicon wafer. A pad silicon nitride (Si_3N_4) layer 204 having a thickness of about 100 nanometers is then formed on pad oxide layer 202 by, for example, chemical vapor deposition (CVD). A second pad oxide layer (not shown in Figure 5A) having a thickness of approximately 400 nanometers is then formed by the evaporation of TEOS ($\text{Si}(\text{OC}_2\text{H}_5)_4$). Deep trenches 110 each having a depth of approximately 4.9 micrometers, a width (in the bit line direction) of approximately 0.20 micrometers, and a length (in the word line direction) of approximately 0.60 micrometers are formed in silicon substrate 114 in the memory cell region using a

00260 040900

patterned resist (not shown) and an etching process such as reactive ion etching (RIE). Deep trenches 110 have an aspect ratio (width/depth) of 25. An N-type diffusion region 116 is then formed in substrate 114 in the memory cell region by implanting impurities and AsG diffusion. The implant may be performed using a dose of $1 \times 10^{13} \text{ cm}^{-2}$ of phosphorus and an acceleration voltage of 1.5 MeV. The ASG diffusion may be performed by the deposition of an ASG layer and an ASG layer recess process down to a level which is deeper by the diffusion length than the intended top of region 116, followed by annealing at about 1050°C for 30 minutes to form diffusion region 116. The buried N-type well may be formed by other methods, e.g., P-well implantation into an N-type semiconductor substrate or by epitaxy, and the invention is not limited in this respect.

An insulating layer 122 such as a nitride-oxide (NO) layer or an oxide-nitride layer is then formed on the entire surface. For example, insulating layer 122 may include a silicon nitride (Si_3N_4) layer of about 6 nanometers deposited using a low pressure chemical vapor deposition method and a silicon dioxide (SiO_2) layer of about 2 nanometers formed by oxidation of the silicon nitride layer at 900°C in an atmosphere of wet O_2 . The target thickness of the insulating layer 122 ($T_{\text{effective}}$) is about 4-5 nm silicon dioxide equivalent. After insulating layer 122 is formed, first conductive

regions are formed by filling deep trenches 110 with an impurity-doped first conductive material such as N⁺-type polycrystalline silicon. The doping concentration of the first conductive material is greater than $3 \times 10^{17} \text{ cm}^{-3}$. The filling step may be carried out using chemical vapor deposition of silane or disilane, for example. The N⁺-type polycrystalline silicon is then etched back to a first level within deep trenches 110 using an isotropic etch process such as reactive ion etching to form first trench fills 120. Specifically, the N⁺-type polycrystalline silicon is etched back to a level which is about 1 micrometer (μm) below the surface of the semiconductor substrate. The second pad oxide layer is removed before the etch-back of the first fill in the deep trench and after a blanket etch back of the deposited polycrystalline silicon to the top surface of the second pad oxide layer by RIE. Insulating layer 122 is then etched by wet etching to remain at the lower portion of the trench so as to form a storage node insulating layer which insulates the first trench fill from the semiconductor substrate. A collar oxide film 126 is then formed on the sidewalls of the portions of deep trenches 110 opened by the etching back of the N⁺-type polycrystalline silicon using low pressure chemical vapor deposition (LPCVD) or plasma-enhanced chemical vapor deposition (PECVD) TEOS over the entire surface followed by an etch back using

reactive ion etching.

Second conductive regions are then formed by filling in the remainder of deep trenches 110 with a second conductive material. The second conductive material may be, for example, N^+ -type polycrystalline silicon or undoped polycrystalline silicon and may be formed by chemical vapor deposition (CVD). The second conductive material is etched back by reactive ion etching or some other chemical dry etching process to a level which is about 0.1 micrometer (μm) below the surface of the semiconductor substrate. The collar oxide 126 is etched by a wet etch and remains as shown in Figure 5A. Next, a very thin oxide layer having a thickness of approximately 5 nanometers and a silicon nitride (Si_3N_4) layer having a thickness of approximately 5 nanometers are formed on the upper surface of pad silicon nitride layer 204, on the sidewalls of deep trenches 110, and on the exposed portions of collar oxide film 126 and second trench fill 124. The thin oxide layer is formed, for example, by a rapid thermal oxidation at $1050^\circ C$ and the silicon nitride layer is formed, for example, by CVD. For purposes of clarity, the thin oxide layer and the silicon nitride layer are shown as a single liner layer 130 in Figure 5A. A TEOS layer 128 is then formed by LPCVD, for example, on the upper surface of layer 130 and to fill in deep trenches 110 as shown in Figure 5A.

TEOS layer 128 is then recessed by chemical mechanical polishing and RIE to be substantially level with the surface of substrate 114. Liner layer 130 is then removed from the upper surface and the sidewall of pad silicon nitride layer 204 and from the sidewall of pad oxide layer 202, and pad silicon nitride layer 204 and pad oxide layer 202 are removed from the surface of the substrate as shown in Figure 5B. The silicon nitride is etched, for example, by H_3PO_4 and the silicon oxide is etched, for example, by an HF solution.

An epitaxial silicon layer 208 having a thickness of about 0.2 micrometers (μm) is then grown by a solid phase epitaxial growth method on the surface of semiconductor substrate 114 in the memory cell region and in the support circuit region as shown in Figure 5C. The portion of the epitaxial layer 208 above silicon substrate 114 in the memory cell region, on which the transfer transistor will be formed as described below, is high-quality single crystal silicon. The portion of the epitaxial layer 208 above the trench structures in the memory cell region is formed by horizontal epitaxial growth and thus may have twin boundaries. However, as will become evident, this portion of the epitaxial layer will be removed during the steps for forming the storage node contacts 112.

With reference to Figure 5D, a pad oxide layer 210 of silicon dioxide (SiO_2) and a pad nitride layer 212

002160-06209960

002150.060650
0050330.001200

of silicon nitride (Si_3N_4) are successively formed on the surface of epitaxial silicon layer 208. Pad oxide layer 210 may be formed by thermal oxidization (e.g., 900°C in an atmosphere of dry O_2) and may have a thickness of about 10 nanometers. Pad nitride layer 212 may be formed by chemical vapor deposition and may have a thickness of about 100 nanometers. Shallow trenches 214 are then formed in epitaxial layer 208 using a patterned resist (not shown) and an etching process such as reactive ion etching (RIE). The dimensions of the shallow trenches are dependent upon feature size. For example, for a 1 Gbit DRAM, shallow trenches 214 may have a width of 0.15 micrometers (μm) and a depth of 0.15 micrometers (μm). An insulating layer of, for example, TEOS, is then blanket deposited over the surface of pad nitride layer 212 and in shallow trenches 214. The insulating layer is then etched back using, for example, CMP and RIE, with pad nitride layer 212 serving as a stopper layer, whereby shallow trench isolation structures 108 which define the active areas AA are formed.

With reference to Figure 5E, pad nitride layer 212 and pad oxide layer 210 are removed and a sacrificial oxide (not shown) having a thickness of about 6 nanometers (nm) is then formed by furnace oxidation or rapid thermal oxidation (RTO) on the surface of epitaxial layer 208. P-type well region 118 is formed

by implanting P-type impurities into the entire surface of the substrate. For example, boron is implanted at a dose of about $1 \times 10^{13} \text{ cm}^{-2}$ and acceleration voltages of 10 keV to 300 keV (a retrograde P-well is formed by several acceleration voltages). If desired, a step of implanting impurities into portions of the substrate which will constitute the channel regions of the transfer transistors in the memory cell region and other transistors in the support circuit region may be performed. This implanting of impurities into the channel regions permits a tailoring of the threshold voltage of the transistors. The sacrificial oxide layer is then removed and a gate insulating layer 138 is formed on the surface of the substrate. Gate insulating layer 138 has a thickness of about 6 nanometers (nm) and may be formed by thermal oxidation at a temperature of approximately 850°C. Alternatively, gate insulating layer 138 may be formed by chemical vapor deposition (CVD) and the invention is not limited in this respect. Gate electrodes 136 for the transfer transistors in the memory cell region and for transistors in the support circuit region are then formed by depositing a polysilicon layer which is doped with N⁺-type impurities, followed by a layer of metal silicide such as tungsten silicide (WSi). After the WSi deposition, a cap silicon nitride layer (not shown) having a thickness of about 15 nanometers (nm) is

00660390 091200
002160 0609960

formed on the WSi layer. The cap silicon nitride layer is provided so that a self-aligned contact may be formed while maintaining isolation between the gate electrodes 136 and bit line contacts 106 and storage node contacts 112. Then, using a patterned photoresist (not shown) and an etching process such as RIE, the cap silicon nitride layer, the silicide layer and the polysilicon layer are etched to form gate electrodes (word lines) 136 in the memory cell region and gate electrodes 136 in the support circuit region. Next, N-type impurities such as phosphorus or arsenic are ion-implanted using gate electrodes 136 as a mask to form N-type source regions 132 and drain regions 134 for the transfer transistors in the memory cell region and to form N-type source and drain regions for the N-channel transistors in the support circuit region. To form P-type source and drain regions for P-channel transistors in the support circuit region, BF_2 or B is implanted. Then, a barrier layer 140 of, for example, silicon nitride (Si_3N_4) having a thickness of approximately 30 nanometers (nm) is deposited by CVD. Next, an insulating layer 142 of BPSG, for example, is deposited on barrier layer 140. Insulating layer 142 is planarized by chemical mechanical polishing using barrier layer 140 as a stopper layer, resulting in the structure shown in Figure 5E.

With reference to Figure 5F, a photoresist (not

shown) is deposited. The photoresist is patterned and is used as a mask for selectively etching the portions of insulating layer 142 and barrier layer 140 above source regions 132 and drain regions 134 in the memory cell region. Specifically, using the photoresist as a mask, a selective etch is used to etch insulating layer 142, and then barrier silicon nitride layer 140 is etched by a silicon nitride etching process to open contact regions.

With reference to Figure 5G, a patterned photoresist 214 is formed for providing contacts to the storage nodes in deep trenches 110 in the memory cell region. Gate insulating layer 138, the silicon substrate, and TEOS layer 128 are etched by an etching process such as reactive ion etching using the patterned photoresist 214 and the gate electrodes 136, with the barrier layer 140 on the top and sidewalls thereof, as a mask to form storage node contact openings 216. The silicon nitride layer which is part of liner layer 130 is then etched. Since gate electrodes 136 are part of the etching mask, the etching process is a self-aligned etching process. Specifically, gate insulating layer 138 is etched by RIE (or by wet etching); the silicon substrate is etched by RIE; and TEOS layer 128 is etched by RIE. The etching of the silicon nitride which is part of liner 130 is accomplished by using wet etching (e.g.

H₃PO₄) or dry etching.

With reference to Figure 5H, the patterned photoresist 214 is removed and the gate insulating film 138 above drain region 134 is etched to form contact openings 218. An insulating layer 146 of, for example, silicon dioxide having a thickness of about 10 nanometers is deposited over the entire surface and then etched using RIE to expose second trench fill 124. Any remaining portion of the oxide layer of liner 130 on the surface of second trench fill 124 is also etched at this time. Next, a photoresist (not shown) is deposited and recessed to a predetermined depth within storage node contact openings 216. Using the recessed resist as a mask, the unmasked portions of insulating layer 146 are removed by, for example, wet etching so that the upper portion of insulating layer 146 is about 50 nanometers (nm) below the surface of the semiconductor substrate. The recessed resist is then removed and an in-situ phosphorus-doped polysilicon layer is deposited by, for example, chemical vapor deposition, to fill in storage node contact openings 216 and bit line contact openings 218, thereby forming storage node contacts 112 and bit line contacts 106. It will be apparent that insulating layer 146 must be etched-back to a level which permits connection between storage node contact 112 and source region 132, but no connection between storage node contact 112 and

P-well 118. The bit line contacts 106 and storage node contacts 112 are then planarized by chemical mechanical polishing to be substantially level with the upper surface of barrier layer 140 as shown in Figure 5H.

5 With reference to Figure 5I, a first interlayer insulating film 148 of, for example, P-TEOS is then deposited. Bit lines 102 and contacts 103 to bit line contacts 106 in the memory cell region and wiring 162 and contacts 160 and 161 to the transistors and
10 diffusion regions in the support circuit region may be formed by a so-called dual damascene process. A "damascene" process refers to a process in which a trench or via is formed and then filled in with a
15 conducting material, followed by planarization. A dual damascene process involves the simultaneous fabrication of a conductive via and a conductive wiring. Such a
20 process reduces the number of process steps and eliminates an interface between the conductive via and the conductive wiring. In the present method, vias and
25 trenches for the contacts 103 and bit lines 102 in the memory cell region are formed in P-TEOS layer 148 by conventional photolithography and RIE processing. Vias and trenches are similarly formed for the contacts 160, 161 and wiring 162 in the support circuit region. Then, tungsten is deposited by CVD. The tungsten is then planarized by chemical mechanical polishing down to the top of the P-TEOS layer 148, i.e., P-TEOS layer 148

002160" 06E09960

acts as a stopper layer for the CMP process. An
adhesion/barrier layer such as titanium nitride may be
formed, for example, by sputtering prior to the
deposition of the tungsten. A second interlayer
5 insulating film 152 of, for example, P-TEOS is then
deposited and an opening 163 is formed therein to
expose wiring 162 in the support circuit region.
A contact 164 to wiring 162 is formed in opening 163
using a damascene process in which opening 163 is
10 formed by conventional lithography and etching
processing, followed by the deposition and planari-
zation of a conductive material such as tungsten.
A conductive layer is then deposited and patterned to
form wirings 156 as shown in Figure 5J.

15 The memory device shown in Figures 3, 4A, and 4B
and manufactured in accordance with the method
explained with reference to Figures 5A-5J includes
highly integrated memory cells having capacitors for
storing a charge which is sufficient to ensure that
20 data may be correctly written to and read out from the
memory cell. This memory cell has a compact cell size
of $8F^2$, where F is a feature size and the cell size is
 $2F \times 4F$. In addition, the memory cell overcomes many
of the disadvantages associated with the MINT archi-
25 tecture. For example, as can be seen with reference to
Figures 5G and 5H, the steps for forming the storage
node contact (strap) do not affect the transfer tran-

sistor. In addition, there is no discontinuity of the cell array junction to the strap junction caused by ion implantation shadowing due to a passing word line. Still further, there is no volume expansion of the active area oxide and the collar oxide at the deep trench-active area intersection. This serves to reduce the incidence of defects and stress. Yet further, there is no deep trench-shallow trench isolation intersection. Thus, the process for forming the shallow trench isolation structures does not adversely affect the deep trench capacitor. The process provides for long and high temperature stress relief anneal when the gate conductors are formed since the strap is formed after the gate conductor process. In addition, the transfer transistor is formed on a high-quality silicon layer and therefore possesses good operating characteristics. Specifically, with reference to Figure 5G, it can be seen that the storage node contact is formed by etching the epitaxial silicon above the deep trenches and that the transfer transistor is formed in the high-quality epitaxial silicon formed above the substrate 114. Thus, the memory device of the present invention offers the possibility of being applied to 1 Gbit DRAMs and beyond. Still further, the trench capacitor and the transfer transistor are connected using a self-aligned process. Specifically, the gate electrode functions as part of a mask for the etching

0950390 091400 002160 06509960

process for forming the opening for the connecting strap. By using such a self-aligned process, misalignment errors can be avoided and the strap between trench capacitor and the transfer transistor can be accurately formed. In addition, as can be seen with reference to Tables 1 & 2 below, a large deep trench having horizontal dimensions of approximately $3F \times F = 3F^2$ is available, resulting in a shallower deep trench depth than the MINT cell of Figures 1A and 1B. This simplifies the deep trench processing and reduces manufacturing costs. Still further, a well-controlled shallow trench isolation process is realized since the STI depth is shallower than in the MINT cell and can be more easily filled, active area patterning is easier than in a MINT cell, and STI height control is better than in a MINT cell due to enhanced uniformity of the pad silicon nitride since the pad silicon nitride is not affected by the deep trench processes in the invention.

Figure 6 is a top-down view of a memory device in accordance with a second embodiment of the present invention. Figure 7 is a cross-sectional view taken along line 7-7' of Figure 6. The portions of the memory device of Figures 6 and 7 which are the same as in the first embodiment are denoted by the same reference numbers. With reference to Figure 6, memory device 300 includes bit lines 102 formed to extend in a

00660390 091200

first direction (i.e., horizontally in Figure 6) and word lines 136 formed to extend in a second direction (i.e., vertically in Figure 6). Bit line contacts 106 are arranged at a one-half pitch. That is, the bit line contacts for every other bit line are vertically aligned. A plurality of active areas AA are defined by shallow trench isolation (STI) structures 108 (see Figure 7). Active areas AA have a width extending in the word line direction and a length extending in the bit-line direction. The trench capacitors (storage nodes) of the memory cells are formed in deep trenches 110'. Deep trenches 110' have a width extending in the word line direction and a length extending in the bit line direction. Storage node contacts 112 are located between adjacent ones of the word lines and provide an electrical connection between the trench capacitors and the transfer gates.

In the second embodiment, deep trenches 110' are oriented in a direction which is orthogonal to the direction in which the deep trenches 110 are oriented in the first embodiment. Because of this, forming the semiconductor memory device of Figures 6 and 7 using the method described with respect to Figures 5A-5J will cause the transfer transistors to be formed in the portion of the epitaxial layer over the deep trench. As noted above, this portion of the epitaxial layer may have defects which could adversely affect the operation

002160-06E09950

of the transfer transistors. In order to provide a high quality epitaxial layer in which to form the transfer transistors, the epitaxial layer may be subjected to a high temperature annealing process (e.g., at a temperature of about 1100°C in an atmosphere of N₂). Alternatively, a laser or an electron beam anneal may be used. In still another alternative embodiment, a wafer bonding technique such as that shown in Figure 8 may be utilized. Specifically, a first silicon wafer 302 having the trench capacitors formed therein is bonded to a second silicon wafer 306 having shallow trench isolation regions 108 formed therein. Second silicon wafer 306 is then polished by, for example, chemical mechanical polishing (CMP) to provide a silicon layer 308 having a thickness of, for example, about 0.15 micrometers (μm) for a 1 Gbit DRAM. The process steps of Figures 5E-5J may then be carried out to form the semiconductor memory device of Figures 6 and 7. In this way, the problems associated with low quality epitaxial films grown over the deep trenches can be avoided.

Figure 9A and 9B show a cross-section of a memory cell in accordance with a third embodiment of the present invention. In the embodiment of Figures 9A and 9B, first trench fill 402 has a cylindrical shape. In this way, the depth of the trench in which the capacitor is formed can be decreased. A memory cell of

002760 060999 00
this embodiment can be formed by performing the steps
as in the first embodiment for forming the deep
trenches. After the deep trench etch, an oxide layer
422 having a thickness, for example, of 50 nanometers
5 (nm) is deposited and etched by reactive ion etching so
as to remain on the deep trench sidewall. Then an N⁺
type polycrystalline silicon layer is deposited and
etched back to a level which is about 1 micrometer (μ m)
below the surface of the semiconductor substrate. Then,
10 a node dielectric film 424 is formed. Next, a second
polysilicon layer is deposited and etched back to a
level which is 0.1 higher than the first polysilicon
layer 402. After this, the process is the same as the
process for the first embodiment.

15

TABLE 1

| Cell Type | MINT | First Embodiment/ Second Embodiment | Third Embodiment |
|---------------------------|--------------------------------------------------------------|--------------------------------------------------------------|--------------------------------------------------------------|
| Design Rule, F | 0.18 μm | 0.18 μm | 0.18 μm |
| Cell Size | $0.36 \times 0.72 \mu\text{m}^2$ $= 0.2592 \mu\text{m}^2$ | $0.36 \times 0.72 \mu\text{m}^2$ $= 0.2592 \mu\text{m}^2$ | $0.36 \times 0.72 \mu\text{m}^2$ $= 0.2592 \mu\text{m}^2$ |
| Trench Size | $0.22 \times 0.36 \mu\text{m}^2$ $= 0.0792 \mu\text{m}^2$ | $0.20 \times 0.60 \mu\text{m}^2$ $= 0.12 \mu\text{m}^2$ | $0.20 \times 0.60 \mu\text{m}^2$ $= 0.12 \mu\text{m}^2$ |
| Cs | 30 fF | 30 fF | 30 fF |
| T _{ox} effective | 4 nm | 4 nm | 4 nm |
| Total Trench | 7.0 μm | 4.9 μm | 3.0 μm |
| Depth | | | |
| Aspect ratio of Trench | 32 | 25 | 15 |

Table 1 provides a cell comparison for the first generation of 1 Gbit DRAM devices having a 0.18 micron design rule. As can be seen from the data set forth in Table 1, DRAM devices manufactured in accordance with the embodiments of the present invention provide the same capacitance as scaled down cells manufactured in

accordance with the MINT architecture shown in Figures 1A and 1B of this patent application, while at the same time providing trenches with smaller aspect ratios within which the capacitors are formed. Specifically, 5 1 Gbit memory cells in accordance with the first and second embodiments of the present invention have trench capacitors formed in trenches with aspect ratios which are 28% less than the aspect ratio of the trenches for 1 Gbit memory cells based on scaling down the current 10 MINT architecture. Memory cells in accordance with the third embodiment of the present invention have trench capacitors formed in trenches with aspect ratios which are more than 50% less than the aspect ratios of the trenches for the scaled down MINT architecture. As 15 noted above, the ability to achieve a high capacitance for trench capacitors formed in trenches with small aspect ratios provides for easier manufacturing.

002760-0629660

TABLE 2

| Cell Type | MINT | First Embodiment/ Second Embodiment | Third Embodiment |
|---------------------------|--------------------------------------------------------------|--------------------------------------------------------------|--------------------------------------------------------------|
| Design Rule, F | 0.12 μm | 0.12 μm | 0.12 μm |
| Cell Size | $0.24 \times 0.48 \mu\text{m}^2$ = 0.1152 μm^2 | $0.24 \times 0.48 \mu\text{m}^2$ = 0.1152 μm^2 | $0.24 \times 0.48 \mu\text{m}^2$ = 0.1152 μm^2 |
| Trench Size | $0.15 \times 0.26 \mu\text{m}^2$ = 0.039 μm^2 | $0.14 \times 0.38 \mu\text{m}^2$ = 0.0532 μm^2 | $0.14 \times 0.38 \mu\text{m}^2$ = 0.0532 μm^2 |
| Cs | 25 fF | 25 fF | 25 fF |
| Tox effective | 3 nm | 3 nm | 3 nm |
| Total Trench Depth | 7.4 μm | 5.5 μm | 3.5 μm |
| Aspect ratio of Trench | 49 | 39 | 25 |

Table 2 provides a cell comparison for the first generation of 4 Gbit DRAM devices having a 0.12 micron design rule. As can be seen from the data set forth in Table 2, DRAM devices manufactured in accordance with the embodiments of the present invention provide the same capacitance as scaled-down cells manufactured in

002160*06209960

accordance with the MINT architecture shown in Figures 1A and 1B of this patent application, while at the same time providing trenches with smaller aspect ratios within which the capacitors are formed. Specifically, 4 Gbit memory cells in accordance with the first and second embodiments of the present invention have trench capacitors formed in trenches with aspect ratios which are about 25% less than the aspect ratio of the trenches for 4 Gbit memory cells based on scaling down the current MINT architecture. Memory cells in accordance with the third embodiment of the present invention have trench capacitors formed in trenches with aspect ratios which are almost 50% less than the aspect ratios of the trenches for the scaled-down MINT architecture. As noted above, the ability to achieve a high capacitance for trench capacitors formed in trenches with small aspect ratios provides for easier manufacturing.

次にこの発明の第4の実施例について説明する。

図10は、第4の実施例のDRAMレイアウトを示し、図11及び図12は図10の断面を示している。この実施例では、シリコン基板1に、図10に破線で示すように、トレンチキャパシタ（以下、単にキャパシタという）2が正方形をなして一定ピッチで配列される。キャパシタ2の大きさは、最小加工寸法をFとして例えば $2F \times 2F$ であり、その対角線の方向がビット線BLとワード線WLの直交二方向（以下、ビット線BLの方向をx、ワード線WLの方向をyとする）に一致するように、且つx、y方向から 45° 傾斜した方向（即ち、キャパシタの直交する二辺の方向）に、スペースが1Fの一定ピッチでマトリクス配列されている。実際にはキャパシタ溝形成時、オーバーエッチングを行う等の加工条件により、スペースは1F以下になり得る。

キャパシタ2が形成された基板1上には、シリコン層3がエピタキシャル成長され、このシリコン層3にキャパシタ2に一部重なる状態でトランジスタ6が形成される。トランジスタ6が形成される能動素子領域5は、図10に太線で囲ん

だように、x方向に隣接する二つのキャパシタ2の領域にまたがるように細長い島状をなして素子分離絶縁膜4により区画され、x方向に6Fの大きさで且つ、2Fのスペースをもって配列され、y方向には順次1/4ピッチずつずれた状態で配列される。

5 ワード線WLは、トランジスタ6のゲート電極62をy方向に連続的に配設して形成される。ビット線(BL)7は、ワード線WLと直交して配設される。

10 ビット線BLは、トランジスタ6のソース、ドレイン拡散層63のうち、一つの素子領域4に形成された隣接する二つのトランジスタの共通拡散層63に対して、キャパシタ・コンタクト層8を介して接続される。トランジスタの他方の拡散層63は、キャパシタ2の領域に位置して、キャパシタ2上に埋め込み形成されたコンタクト層9に接続される。コンタクト層9は後述するように、ワード線WLの間に自己整合されて埋め込み形成される。

この実施例の具体的なDRAM製造工程を、図11の断面に対応する断面を用いて、図13A～図13Jを参照して説明する。

15 シリコン基板1(少なくともそのメモリアルレイ領域がp型である)にまず、5nm程度のパッド酸化膜(シリコン酸化膜)1101を熱酸化により形成し、その上に200nm程度のパッド窒化膜(シリコン窒化膜)1102を堆積する。

20 更にその上にTEOS酸化膜(図示せず)を堆積する。そして、リソグラフィによりTEOS酸化膜上に、図10に示すトレンチ2のレジストパターンを形成し、TEOS酸化膜、パッド窒化膜1102、パッド酸化膜1101をRIE(Reactive Ion Etching)によりエッチングする。

25 レジスト剥離後、パッド窒化膜1102とパッド酸化膜1101をマスクとして、シリコン基板1をRIEによりエッチングし、キャパシタ用トレンチ21を形成する。トレンチ21の形成後、その内部を軽く酸化し、ASGの堆積と熱処理による固相拡散、またはAs気相拡散により、n型埋め込みプレート24を形成する。トレンチ上部には、n型にならずにp型層が残るようにする。この埋め込みプレート24が形成された後、トレンチ側壁にキャパシタ絶縁膜22を形成する。キャパシタ絶縁膜22は、シリコン窒化膜又はこれとシリコン酸化膜の積層膜であり、酸化膜換算で3nm程度の膜厚とする。

30 更に、Asドープ多結晶シリコンを堆積し、CMP(Chemical Mechanical Polishing)やRIEにより、表面が埋め込みプレート24より下に位置するようにリセスエッチングすることにより、トレンチ21に内にキャパシタノード層(ストレージノード層)23を埋め込む。続いて、キャパシタノード層23をマスクとしてキャパシタ絶縁膜21の上部をエッチングする(ここまで、図13A)。

35 次に、トレンチ上部を軽く酸化した後、厚いシリコン酸化膜25を堆積し、これをRIEによってトレンチ21の側壁に残す。このシリコン酸化膜25は、埋め込みプレート24と後に形成されるトランジスタのn型拡散層の間で縦型寄生トランジスタが動作するのを防止する働きをする。続いて、再度Asドープ多結晶シリコンを堆積し、これをCMPやRIEによりシリコン基板1の面より下に表面が位置するようにリセスして、図13Bに示すように、第2のキャパシタノード層26を埋め込み形成する。

40 次に、トレンチ21内の多結晶シリコンからなるキャパシタノード層23、26が後の工程で酸化されるのを防止するために、図13Cに示すように、シリコン窒化膜27とシリコン酸化膜28を積層形成する。そして、シリコン酸化膜28をCMP処理により平坦化した後、RIEによりシリコン酸化膜28をエッチ

ングして、図13Dに示すように、シリコン酸化膜28の表面位置がシリコン基板1の表面より下に位置するようにする。これは、後のシリコン層エピタキシャル工程で良質のシリコン結晶を得るために必要である。またシリコン酸化膜28は、この後形成されるシリコン層とキャパシタノード層26を分離する、キャパシタノード層26を覆うキャップ絶縁膜となる。

次に、酸化膜1101と窒化膜1102を除去した後、シリコン層3を2 μ m程度エピタキシャル成長させる。そして表面を平坦化するため、CMP処理を行い、500nm程度のシリコン層3を残す(ここまで、図13E)。このとき、CMPによる平坦化の負担を減らすため、水素アニールを併用してもよい。シリコン層3はキャパシタ2の周囲にあるシリコン基板1の結晶面を種として結晶成長し、トランジスタ形成に適した良質の結晶性を有するものとなる。シリコン層3は成長時はノンドーブ(i型)であり、後に説明するようにウェルイオン注入によりp型ウェルが形成される。

次いで、STI(Shallow Trench Isolation)技術による素子分離工程に入る。図13Fに示すように、シリコン酸化膜1103とシリコン窒化膜1104を堆積し、その上に能動素子領域5のレジストパターン(図示せず)をリソグラフィにより形成し、窒化膜104と酸化膜103をエッチングする。そして、これらの窒化膜1104と酸化膜1103をマスクとしてシリコン層3をRIEによりエッチングして素子分離溝を形成した後、図13Fに示すように、CVDシリコン酸化膜からなる素子分離絶縁膜4を埋め込む。これにより能動素子領域5は、図10に太線で示したように、x方向に隣接する二つのキャパシタ2にまたがって、2Fのスペースをもって細長い島状パターンとして配列され、y方向には1/4ピッチずつずれた状態に配列形成される。

その後、窒化膜1104と酸化膜1103を除去して、素子領域5に犠牲酸化膜(図示せず)を形成する。そして、この犠牲酸化膜を通してウェル形成のイオン注入としきい値調整のイオン注入を行う。これにより素子領域5にはp型ウェルが形成される。犠牲酸化膜を剥離した後、トランジスタ6の形成工程に入る。即ちゲート絶縁膜61を例えばシリコン窒化酸化膜により形成し、その上にゲート電極62をパターン形成する。ゲート電極62は、70nmの多結晶シリコン膜62a、45nmの窒化タングステン/タングステン膜62b、及び150nmのシリコン窒化膜64を積層し、これらをリソグラフィでパターン形成することにより形成される。

ゲート電極62は、図10に示すように連続的に配設され、これがワード線WLとなる。そしてゲート電極62の側壁にシリコン窒化膜65を形成した後、イオン注入を行って、ソース、ドレインとなるn型拡散層63を形成する。更にエッチングストップ用の薄いシリコン窒化膜66を介して層間絶縁膜となるBPSG膜67を堆積し、CMP処理を行う。これにより、図13Gに示すように、ゲート電極62の間にBPSG膜67が埋め込まれた状態で全体が平坦化される。

次に、キャパシタ・コンタクトとビット線コンタクトを同時に形成する工程に入る。まず、素子領域5の反転パターンのレジストパターン(図示せず)を形成し、図13Hに示すように、素子領域5上のBPSG膜67をエッチングする。更に、BPSG膜67の下に薄いシリコン窒化膜66もRIEによりエッチングして、シリコン層3の表面即ち、n型拡散層63の表面を露出させる。

次いで、図13Iに示すように、キャパシタ2の領域に開口を持つレジストパターン1105を形成し、シリコン窒化膜に対して高選択比を持つエッチング法でシリコンエッチングを行い、露出したシリコン酸化膜28をもエッチングして、

キャパシタノード層26に対するコンタクト孔1106を形成する。このとき、コンタクト孔1106の位置は、図10のレイアウト上の11-11'方向については、ゲート電極62の間のスペース、即ちゲート電極62とキャパシタ2の位置合わせで決まる。また12-12'方向については、素子領域5とキャパシタ2の位置合わせで決まる。いずれも十分な合わせ余裕があるため、コンタクト孔1106がキャパシタノード層26から外れて、コンタクト抵抗が増大する可能性は少ない。

レジストパターン1105を除去した後、図13Jに示すように、コンタクト孔1106の側壁に、縦型の寄生トランジスタの動作を防止するためにカラー絶縁膜1107を形成する。この工程はまず、TEOS酸化膜をコンタクト孔1106内に20nm程度堆積し、RIEにより側壁のみに残す。更にレジストをコンタクト孔1106に埋め込み、リセスして、側壁絶縁膜のソース、ドレイン拡散層63との接続部を露出させる。続いてウエット・エッチングを行って、側壁絶縁膜を除去する。これにより、n型拡散層63との接続部を露出させた状態のカラー絶縁膜1107が形成される。

上のカラー絶縁膜1107の形成工程で、ビット線コンタクト部にはレジストが残らないため、ウエットエッチング工程でBPSG膜67が除去され、コンタクト孔1108が形成される。そこで次に、Asドープ多結晶シリコンを堆積してCMP又はRIEにより平坦化することにより、図13Jに示すように、トランジスタ6の拡散層63をキャパシタノード層26に接続するためのキャパシタ・コンタクト層9と、ビット線コンタクト層8が同時に埋め込み形成される。トランジスタ拡散層63は、埋め込まれたコンタクト層9の上部側面に接続されることになる。

なお、n型多結晶シリコンからなるコンタクト層9とp型シリコン層3との間の接合リークを軽減し、またコンタクト層9がシリコン層3と接触する部分から結晶化するのを防止するために、多結晶シリコン堆積前にコンタクト孔1106の側壁にごく薄いシリコン窒化膜を形成することもある。

最後に、公知のダマシーン法を用いて、図11及び図12に示すように、層間絶縁膜71を介してビット線7を形成する。以下、図には示さないが公知の金属配線技術を適用して、DRAMが完成する。

この実施例によると、キャパシタは1F或いはそれ以下の一定スペースをもって最密配置され、メモリセル面積に対してキャパシタ面積及びキャパシタ周辺長は極大、従ってキャパシタ容量が極大になる。しかもキャパシタ面積が大きく且つ、その形状が対称的であることから、キャパシタ溝加工時のアスペクト比を小さくすることができ、キャパシタ加工が容易である。更に、一辺が2Fのキャパシタ構造とすることにより、キャパシタノード層に対するトランジスタのコンタクトを形成する際の合わせ余裕が大きく、従って低抵抗のコンタクトが可能になる。

次に第5の実施例について説明する。

第4の実施例では、n型層からなる埋め込みプレート24をシリコン基板1の上部にp型層が残る状態に形成した。これに対して第5の実施例では、シリコン基板1の上部まで埋め込みプレート24を形成する。第4の実施例の図13Aに対応する断面を、図14Aに示す。

第4の実施例と同様に、キャパシタ溝21を形成するRIEを行った後、埋め込みプレート24を形成するために、ASGからの固相拡散又は気相As拡散を行う。このとき、図14Aに示すように、埋め込みプレート24はシリコン基板1の上部まで形成する。この様になると、第4の実施例で必要であったレジストリセス工程(AS

G固相拡散を用いた場合)又はブロック層の形成(気相As拡散を用いた場合)が必要となるので、工程が簡略化される。

埋め込みプレート24の形成後、キャパシタ絶縁膜22を形成し、Asドープ多結晶シリコンからなるキャパシタノード層23を埋め込み形成する。キャパシタノード層23の上端は、シリコン基板1の表面より下になるようにし、これより上にあるキャパシタ絶縁膜はウェットエッチングにより除去する。ここまでは、図14Aの状態である。

この後、図14Bに示すように、キャパシタノード層23の酸化防止用及びキャパシタノード23と基板の分離用となるシリコン酸化膜28を堆積する。この酸化膜28をCMPにより平坦化した後、RIE等により酸化膜28の表面がシリコン基板1の面より下に位置するようにリセスする。そして、酸化膜1101と窒化膜1102を剝離した後、図14Cに示すように、シリコン層3をエピタキシャル成長させる。シリコン層3は、2 μ m程度成長させた後、CMPにより平坦化して500nm程度の厚み残す。このとき、CMPによる平坦化の負担を減らすため、水素アニールを併用してもよい。シリコン層3はキャパシタ2の周囲にあるシリコン基板1の結晶面を種として結晶成長するため、キャパシタ2の領域上でもトランジスタ形成に適した良質の結晶性を有するものとなる。

以下、第4の実施例と同様の工程を経て、DRAMが完成する。図14Dがビット線7まで形成した状態の、図11に対応する断面である。

この実施例によると、埋め込みプレートを用いたシリコン基板の上部まで形成することにより、埋め込みプレートの上層を決定するレジストリセス工程が省略できる。また、2ステップのキャパシタノード層を埋め込む第4の実施例に対して、この実施例ではキャパシタ上部のカラー酸化膜が不要になり、キャパシタノード層の面積が実施の形態1に比べて大きくなり、コンタクト孔に対する許容範囲が大きくなる。

次にこの発明の第6の実施例について説明する。

図15は、第6の実施例によるDRAMのレイアウトを、図10に対応させて示している。この実施例では、キャパシタ2の配列を市松模様としている。即ち、キャパシタ2は、一辺が2Fの略正方形であり、その辺をx、y方向に一致させ、x方向にスペースが2F以上の一定ピッチで且つ、隣接するビット線では順次1/2ピッチずつずれた状態に配列される。y方向についても同様に、スペースが2F以上の一定ピッチで且つ、隣接するワード線では順次1/2ピッチずつずれた状態に配列される。従って、キャパシタ配列は市松模様をなす。その断面構造及び製造工程は、第4の実施例或いは第5の実施例によるものと同様である。

この実施例によると、キャパシタの面積及び周辺長はメモリセル面積に対して極大となり、大きなキャパシタ容量が得られる。またキャパシタ溝形成時のアスペクト比が小さく、キャパシタ加工が容易である。更に、大きな面積のキャパシタを用いることにより、トランジスタ拡散層とキャパシタの接続のコンタクトに対する合わせ余裕も大きくなる。

次に、トランジスタ拡散層のキャパシタノード層に対するコンタクトを改良した、この発明の第7の実施例を説明する。この第7の実施例では、シリコン層3を2回のエピタキシャル成長工程により形成すること、第1層シリコン層にキャパシタノード層に連するコンタクト層を埋め込み、第2層シリコン層を形成した後トランジスタを形成すること、トランジスタ拡散層はその底面でキャパシタノード層に対するコンタクト層に接すること、等の特徴とする。

DRAMレイアウトは、第4の実施例或いは第6の実施例と同様であるから説明を省き、製造工程を説明する。第4の実施例の図13Fのステップまでは同じ工程をとる。この後の工程が、図16A～図16Fである。

図16Aは、第1のシリコン層3aを第7の実施例と同様にエピタキシャル成長させた後、キャパシタノード層26に対するコンタクト孔1106を形成した状態を示している。

この後、図16Bに示すように、コンタクト孔1106の内壁にカラー酸化膜1107を形成する。具体的には、TEOS酸化膜を20nm程度コンタクト孔1106内に堆積し、RIEにより側壁にカラー酸化膜1107として残す。次に、リン又は砒素をドーパした多結晶シリコンを堆積し、CMPとRIEによるエッチングを行って、キャパシタ・コンタクト層9として埋め込む。このとき、コンタクト層9の表面はシリコン層3aの表面より下に位置するようにする。

次に、窒化膜1102、酸化膜1101及びカラー酸化膜1107のコンタクト層9の上部に露出する部分を除去した後、図16Cに示すように、第2のシリコン層3bをエピタキシャル成長させる。第2のシリコン層3bの表面は平坦化する。

その後、図16Dに示すように、第4の実施例と同様にしてシリコン酸化膜1103とシリコン窒化膜1104のマスクをパターン形成して、STIにより素子分離絶縁膜4を形成する。素子分離絶縁膜4は、好ましくは第1のシリコン層3aに達する深さに埋め込む。

続いて、窒化膜1104と酸化膜1103を除去して、第4の実施例と同様にp型ウェル形成及びしきい値調整のためのイオン注入を行う。その後、図16Eに示すように、ゲート絶縁膜61を介してゲート電極62を形成し、ソース、ドレインのイオン注入を行う。このとき、ソース、ドレイン拡散層は、図16Eに示すように、ビット線に接続される拡散層63a側は先の実施例と同様である。キャパシタノード側のn型拡散層63bは、キャパシタノード層9からの不純物の上方拡散と上からのイオン注入不純物が重なり、実質的に深くなって、その底面がキャパシタノード層9の上端に接続される。

その後、公知のセルフアラインコンタクト(SAC)技術を用いて、n型拡散層63aに対するビット線コンタクト層8を埋め込み形成し、更に公知のダマシン法によりビット線7を形成する。

この実施例によると、トランジスタの拡散層は、キャパシタノード層上に埋め込まれたコンタクト層の上面に接続されることになり、コンタクト面積が大きくなり、安定で低抵抗のコンタクトが得られる。

図17は、第8の実施例によるDRAMの断面を、第5の実施例の図14Cに対応させて示している。シリコン層3をエピタキシャル成長させたとき、下地が単結晶でないキャパシタ2の上の部分は多結晶となり、図17に破線で示すようなファセット1201が生じる。p型ウェルの境界1202がこのファセット1201に重なり、リーク電流の原因となる。特にn型層である埋め込みプレート24が境界1202と重なる状態のとき、その接合面がファセット1201と重なり、p型ウェルと埋め込みプレート24の間のpn接合でリーク電流が増大する。

そこでこの実施例では、図17に示すように、ウェル境界1202がファセット1201に重ならないようにする。具体的には、p型ウェル形成時、高加速イオン注入により、急峻な不純物濃度分布をもつように深さコントロールを行う。これにより、リーク電流の増大を防止することができる。

次に、第5の実施例と同様のキャパシタ構造を用いて、キャパシタノード層とトランジスタ拡散層の接続に埋め込みストラップ方式を適用した、この発明の第9の実施例を説明する。

図18はこの第9の実施例のDRAMのレイアウトを、図10に対応させて示している。基本的なレイアウトは図10と同様であるが、図10ではトランジスタ拡散層とキャパシタノードを接続するコンタクト層9がキャパシタ2のほぼ中心に配置されていたのに対し、この第9の実施例ではキャパシタ2の中心からx方向にずれて、素子分離領域近くに配置されている点に異なる。これは、埋め込みストラップによる接続を確実にするための配慮である。

図19A～図19Fは、この第9の実施例のDRAM製造工程を、図18の19～19'断面を用いて示したものである。図14Cまでの工程は第5の実施例と同じであり、この後、図19Aに示すように、シリコン酸化膜1301とシリコン窒化膜1302のマスクを用いて、キャパシタノード層23に対するコンタクト孔1106を加工する。図示のように、コンタクト孔1106は、キャパシタ2の中心から外側にずれている。

次に、図19Bに示すように、コンタクト孔1106の内壁にカラー酸化膜1107を形成する。具体的には、TEOS酸化膜を20nm程度コンタクト孔1106内に堆積し、RIEにより側壁にカラー酸化膜1107として残す。次に、リン又は砒素をドーブした多結晶シリコンを堆積し、CMPとRIEによるエッチングを行って、コンタクト層9aとして埋め込む。このとき、コンタクト層9aの表面はシリコン層3aの表面より150nm程度下に位置するようにする。

続いて、コンタクト層9aの上部に露出するカラー酸化膜1107をウェットエッチングにより除去し、斜めイオン注入を行って、図19Cに示すように、コンタクト孔1106の上部側壁に、後に形成されるトランジスタ拡散層に接続されるn型拡散層（埋め込みストラップ）1303を形成する。次に再度、砒素又はリンがドーブされた多結晶シリコンを堆積し、CMPとRIEによりリセスして、コンタクト孔1106の上部に第2のコンタクト層9bを埋め込む。このコンタクト層9bの表面は、シリコン基板表面から70nm程度下に位置するようにする。

その後、STI技術により、図19Dに示すように素子分離溝を加工し、図19Eに示すように素子分離絶縁膜4を埋め込む。素子分離溝は、能動素子領域5の外側にも形成される無用な埋め込みストラップ1303を削り取るように、コンタクト層9b、9aの外側上部にかかるように形成される。素子分離絶縁膜4は、シリコン層表面にほぼ一致する表面を持つように埋め込むことにより、コンタクト層9aの表面を絶縁膜4aで覆った状態とする。

その後、ウェル形成やしきい値調整用のイオン注入工程を経た後、第8の実施例と同様、図19Fに示すように、トランジスタ6を形成する。トランジスタ6のソース、ドレイン拡散層63のうち、キャパシタノード側の拡散層63bは、埋め込みストラップ1303を介し、更にコンタクト層9b、9aを介してキャパシタノード層23に接続される。この後は図を示さないが、ビット線コンタクトのセルフアライン埋め込みを行い、更にダマシオン法によるビット線形成を行う。

この実施例によると、キャパシタ2上に埋め込み形成されたコンタクト層9に対して埋め込みストラップ方式でトランジスタ拡散層を接続することができる。この場合、コンタクト層9の位置をキャパシタ2の中心位置からx方向に素子分離領域側にずらしており、これによりトランジスタ拡散層との合わせ余裕を確保することができる。

なおこの実施例の埋め込みストラップ方式は、図15に示すキャパシタレイアウトの場合にも同様に適用することが可能である。

図 20 は、トランジスタとキャパシタの接続に表面ストラップ方式を採用した、この発明の第 10 の実施例による DRAM レイアウトを示し、図 21 及び図 22 はそれぞれ、図 20 の断面を示している。キャパシタレイアウトについては第 4 の実施例と同様のレイアウトを採用し、キャパシタ構造については第 5 の実施例と同様の構造を採用している。

図 20 のレイアウトにおいて、図 10 と異なる点は、トランジスタ 6 をキャパシタ 2 のノードに接続するための埋め込みコンタクト層 9 が、キャパシタ 2 の中心からワード線 WL の方向にずれた位置に形成されていることである。言い換えれば、コンタクト層 9 は、正方形のキャパシタ 2 の対角線上に形成される能動素子領域 5 に対して、略半分重なる状態で形成される。そして、図 21 及び図 22 に示すように、トランジスタ 6 のキャパシタ 2 に接続されるべき拡散層 63 とコンタクト層 9 と間をそれらの表面に形成した接続導体 10 により接続している。

その具体的な製造工程を、図 21 の断面に対応する図 23 A ～図 23 H の工程断面図を用いて説明する。図 23 A は基本的に図 21 と同様であり、キャパシタ 2 が形成された基板にシリコン層 3 をエピタキシャル成長させた後、キャパシタ 2 に対するコンタクト孔 1106 を形成した状態を示している。コンタクト孔 1106 は、図 23 A の断面ではキャパシタ 2 の略中心にあるが、これと直交する WL 方向の断面ではキャパシタ 2 の中心からずれて、図 20 にコンタクト層 9 として示した位置に形成される。

この後、図 23 B に示すようにコンタクト孔 1106 に先の実施例と同様にしてカラー酸化膜 1107 を形成し、砒素或いはリンドーブの多結晶シリコンによるコンタクト層 9 を埋め込む。コンタクト層 9 の面位置は、シリコン層 3 の表面から 50 nm 程度下にあるようにする。

その後、STI 技術により、図 23 C に示すように素子分離溝を加工し、図 23 D に示すように素子分離絶縁膜 4 を埋め込む。素子分離絶縁膜 4 は、シリコン層表面にはほぼ一致する表面を持つように埋め込むことにより、コンタクト層 9 の表面を絶縁膜 4 a で覆った状態とする。

その後、シリコン酸化膜 1301 とシリコン窒化膜 1302 は剥離し、犠牲酸化膜を形成してウェル形成及びしきい値調整のイオン注入を行う。そして犠牲酸化膜を剥離して、図 23 D に示すようにゲート酸化膜 61 を形成する。

この後、図 23 E に示すように、先の第 4 ないし第 9 の各実施例と同様の工程でトランジスタ 6 を形成する。トランジスタ 6 のゲート電極 62 の間は層間絶縁膜 67 により平坦に埋め込まれる。

次に、ビット線コンタクトと表面ストラップを同時に形成するため、図 23 F に示すように能動素子領域 5 の反転パターンレジスト 1401 を形成し、これを用いて能動素子領域 5 上のゲート電極 62 間にある層間絶縁膜である BPSG 膜 67 をエッチング除去する。更に、除去した層間絶縁膜 67 の下に露出したシリコン窒化膜 66、ゲート酸化膜 61、更にコンタクト層 9 を覆っている絶縁膜 4 a をエッチングして、図 23 G に示すように、コンタクト層 9 及びビット線を接続する拡散層 63 の面を露出させる。このとき、コンタクト層 9 上の開口は、能動素子領域 5 に整合されているから、図の断面に直交するワード線方向については、図 20 から明らかなように、コンタクト層 9 の上面の半分の露出させた状態となる。

この後、砒素又はリンドーブの多結晶シリコンを堆積し、CMP により平坦化して、図 23 H に示すようにビット線コンタクト層 8 と同時に、キャパシタとトランジスタを接続する接続導体としての表面ストラップ 10 を埋め込み形成する。

ワード線方向については、図22の断面に示すように、表面ストラップ10は、トランジスタ6の拡散層63とコンタクト層9にまたがって形成され、これらを接続する。

この後は図示しないが、先の各実施例と同様にダマシーン法によりビット線7を形成する。

この実施例では、トランジスタ形成後にキャパシタとトランジスタが表面ストラップにより接続されるので、ストラップ形成後の熱工程が少なく、シリコン層3に結晶欠陥が入りにくい。また、表面ストラップであるため、多結晶シリコンであるコンタクト層9と能動領域のシリコン層3の接触面積が小さく、これも結晶欠陥の導入を抑える。更に、図20に示したように、コンタクト層9はキャパシタ2の中心からずれた位置に埋め込まれるが、キャパシタ面積が大きいから、表面ストラップ10はコンタクト層9と拡散層63を低抵抗で接続することができる。

図24は、第10の実施例でのレイアウトを変更した、第11の実施例のレイアウトである。第10の実施例では、能動素子領域5の中心がキャパシタ2の対角線上を横切るように、従ってキャパシタ2の中心を通うようにレイアウトした。このため、キャパシタ2とトランジスタ6を接続するコンタクト層9をキャパシタ2の中心からずらして配置している。これに対し、図24では、コンタクト層9をキャパシタ2の中心に配置している。その結果として、能動素子領域5は、キャパシタ2の対角線上からy方向にずれて、コンタクト層9を分断するようにレイアウトしている。

この様なレイアウトを採用することにより、コンタクト層9とキャパシタ2の合わせズレに対する余裕が大きくなる。即ちこの合わせズレが多少あったとしても、コンタクト層9がキャパシタ2の領域外のシリコン層と短絡する事態は確実に防止される。

図25は、単位セルの面積をより小さくした、この発明の第12の実施例のDRAMレイアウトである。ここまでの実施例では能動素子領域5のx方向の大きさを6Fとしたのに対し、この実施例では能動素子領域5のx方向配列は、大きさが5F、スペースが1Fとしている。y方向には1/3ピッチずつずれる。

ビット線BL及びワード線WLをライン/スペース=1F/1Fで形成するとして、キャパシタ2は、破線で示すように、各能動素子領域5の両端部に、x方向の大きさ1F、y方向の大きさ2Fの長方形として配置される。断面構造及び製造工程については説明を省くが、第4の実施例或いは第5の実施例のいずれを用いてもよい。

この実施例の場合、ビット線BL方向にワード線WLの配列をみると、トランジスタ6を駆動する2本のアクティブワード線に対して通過ワード線1本という割合で配置される。単位セルの大きさは、ビット線方向に3F、ワード線方向に2Fであり、6F2となる。現在一般に用いられているDRAMセルレイは、ワード線方向に4F、ビット線方向に2Fである。これと比較すると、同じデザインルールであれば、メモリセル面積を縮小することができ、同じメモリセル面積とすればデザインルールを緩くすることができる。

従来技術では、トランジスタとキャパシタの間のコンタクトと、ワード線との間で合わせ余裕が必要であったため、完全な6F2のメモリセルを実現することが困難であった。この発明の場合、ワード線とキャパシタ・コンタクトを自己整合的に形成することができるため、6F2の大きさのメモリセルを容易に実現することができる。

次にこの発明の第13の実施例について説明する。

第4の実施例では、キャパシタ・コンタクト層9とビット線コンタクト層8を別工程で埋め込んだのに対し、この実施例ではセルフアラインコンタクト技術を用いてこれらを同時に埋め込み形成し、且つキャパシタのコンタクト層9とn型拡散層の接続を表面ストラップ方式により行う。その製造工程を、図26A～図26Dを用いて説明する。

なお、キャパシタ構造については、第5の実施例と同じ構造を用いているが、第4の実施例の構造を用いることも可能である。

第4の実施例あるいは第5の実施例と同様にして、基板1にキャパシタ2を形成し、シリコン層3をエピタキシャル成長させ、素子分離を行ってトランジスタ6を形成する。この後、素子領域5の反転パターンのレジストを用いて、層間絶縁膜67をRIEによりエッチング除去する。更にゲート電極間に露出したシリコン窒化膜を除去してn型拡散層63を露出させた後、20～30nmの薄いシリコン酸化膜1402を堆積し、これをゲート側壁に残す。この状態が図26Aである。

この後、キャパシタのコンタクト部分に開口を持つレジスト1403をリソグラフィによりパターン形成し、シリコン窒化膜に対して選択比の大きいエッチング法でシリコンエッチングを行い、図26Bに示すようにキャパシタ2に対するコンタクト孔1106を形成する。コンタクト孔1106の底部に露出する酸化膜28をエッチングして、コンタクト孔1106の底部にキャパシタノード層23を露出させる。

次に、ゲート側壁のシリコン酸化膜1402をウェットエッチングにより除去した後、コンタクト孔1106の内部に熱酸化により15nm程度のカラー酸化膜1107を形成する。更にカラー酸化膜1107の上部をエッチングし、同時にキャパシタ・コンタクト部及びビット線コンタクト部の素子領域表面の酸化膜を除去する。この状態が図26Cである。このとき、図示のように、コンタクト孔1106の上部周囲には、素子領域のn型拡散層63の表面が露出する。

この後、砒素ドーパ又はリンドーパ多結晶シリコンを堆積し、CMPで平坦化して、図26Dに示すように、キャパシタ・コンタクト層9とビット線コンタクト層8を同時に埋め込み形成する。

その後は先の実施例と同様にビット線及び金属配線を形成して、DRAMを完成する。

この実施例によると、キャパシタ・コンタクト層9は、その上部がコンタクト孔開口後の側壁酸化膜除去工程によって露出したn型拡散層63の表面にコンタクトしており、表面ストラップとなる。即ち、コンタクト孔周囲に素子領域の空き領域が形成されて、表面ストラップがビット線コンタクトと同時に形成される。

次にこの発明の第14の実施例について説明する。

ここまでの実施例では、能動素子領域を形成する半導体層として、キャパシタが形成された基板上にエピタキシャル成長させたシリコン層3を用いた。これに対してこの実施例では、能動素子領域として一層結晶性のよい半導体層を用いるために、キャパシタが形成されたシリコン基板上にシリコン基板を貼り合わせる直接接合技術を用いる。貼り合わせにより得られたSOI基板上、キャパシタノードに接続するためのコンタクト層を埋め込み形成し、その上に更にシリコン層をエピタキシャル成長させて、能動素子領域を形成する。

図27はこの実施例のDRAMの断面構造を示している。キャパシタ2のレイアウトは第4の実施例あるいは第6の実施例と同じである。キャパシタ構造は第5

の実施例と同様の構造の場合を示しているが、第4の実施例のようなキャパシタ構造でもよい。

図27の構造において、酸化膜1303と1304の境界が基板接着面であり、その上のシリコン層（SOI層）1301が接着されたシリコン基板を研磨して残されたバルクシリコン層である。酸化膜1303と1304は基板分離用絶縁膜となっている。その具体的な製造工程を図28A～図28Fを参照して、以下に説明する。

シリコン基板1は、(100)配向をもった、不純物濃度 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 程度のp型シリコン基板（又はその表面にp型エピタキシャル層を $1 \mu\text{m}$ 程度成長させたエピタキシャル基板）である。この基板1の図示しない周辺回路領域には、PMOSTランジスタ領域、NMOSTランジスタ領域にそれぞれn型ウェル、p型ウェルを形成する。その後メモリセルアレイ領域に、先の各実施例と同様、図28Aに示すようにキャパシタ2を形成する。キャパシタ2のキャパシタノード層23は、トレンチ加工にマスクとして用いられたシリコン窒化膜1102の表面位置に合わせた面位置に埋め込まれる。

この後、図28Bに示すように、キャパシタノード層23の表面をキャップ絶縁膜28により覆う。キャップ絶縁膜28には、CVD酸化膜、熱酸化膜あるいはシリコン窒化膜を用い得る。次に、キャップ絶縁膜28で覆われた基板を平坦化するCVDシリコン酸化膜1303を形成する。具体的には、300nm程度のシリコン酸化膜を堆積し、CMPにより平坦化する。

この後、SOI層の形成を行う。即ち、第2のシリコン基板を用意し、その表面に貼り合わせを行うための絶縁膜（図28Bに示す酸化膜1304）として、熱酸化膜を10nm程度形成し、好ましくは更に、BPSG（又はCVD SiO₂）膜を200nm程度堆積して平坦化する。そして、この第2のシリコン基板をその酸化膜1304側を第1のシリコン基板1の酸化膜1303に接する状態に重ねて、900℃程度の加熱条件下で直接接する。酸化膜1304としてBPSG膜を用いると、比較的低温で良好な密着性が得られること、またキャップ絶縁膜28にシリコン窒化膜を用いた場合に、後のコンタクト孔形成工程でエッチングストップの制御が容易になること、等の点で好ましい。

この後、貼り合わせた第2のシリコン基板を研磨し、エッチングして、150nm程度のシリコン層1301として残し、SOI基板を得る。図28Bはこの状態を示している。このSOI基板のシリコン層1301の表面は、後のトランジスタ形成に耐えられるように、鏡面研磨されているものとする。なお、SOI基板の形成方法として、上の例に限られず、イオン注入法を用いる方法等、他の方法を用いることもできる。

次に、図28Cに示すように、シリコン層1301の表面にシリコン酸化膜1305を例えば熱酸化法により50nm程度形成する。そして、リソグラフィとRIEによりエッチングを行って、キャパシタ2の領域にキャパシタノード層23に対するコンタクト孔1106を加工する。酸化膜1305は、レジストプロセス及びエッチングプロセスにおけるシリコン層1301の表面汚染を防止する。コンタクト孔1106の加工は、まずシリコン層1301をエッチングし、露出した酸化膜1304、1303をエッチングし、更にキャップ絶縁膜28をエッチングして、キャパシタノード層23の面を露出させる。このときキャップ絶縁膜28としてシリコン窒化膜を用いていれば、これが酸化膜1304、1303のエッチング時のストップとなる。

形成されたコンタクト孔1106の側壁に次に、30nm程度のCVDシリコ

ン酸化膜 1107 を形成する。これは、全面に CVD シリコン酸化膜を堆積した後、R I E により側壁のみに残す方法で形成する。その後、砒素ドーブの多結晶シリコンを堆積し、CMP と R I E により、コンタクト孔 1106 内にコンタクト層 9 として埋め込む。酸化膜 1305 はこの CMP と R I E の間、シリコン層 1301 を保護する。こうして得られた状態が、図 28C である。コンタクト層 9 は例えば、シリコン基板 1 の表面から $0.4 \mu\text{m}$ 程度上に出るようにする。

この後、酸化膜 1305 をエッチング除去し、図 28D に示すように、シリコン層 1301 上にシリコン層 1302 を 60 nm 程度エピタキシャル成長させる。S O I 基板のシリコン層 1301 とこの上にエピタキシャル成長させたシリコン層 1302 の二層が、先の各実施例における能動素子形成用のシリコン層 3 に相当することになる。

シリコン層 1302 は必要に応じて、CMP 等の方法で研磨して凹凸のない平坦面とする。この様になると、コンタクト孔 1106 内の多結晶シリコンであるコンタクト層 9 上に成長した部分と単結晶シリコン層 1301 上に成長した部分の厚みの相違による凹凸をなくすことができ、その後形成されるトランジスタの品質向上が図られる。

また図には示さないが、シリコン層 1302 の成長工程前に、トランジスタのパンチスルー防止のために深いチャネルイオン注入を行ってもよい。これにより、パンチスルー防止のための理想的なチャネル不純物プロファイルをトランジスタ領域に形成することができる。

この後、図 28E に示すように、S T I 技術により素子分離絶縁膜 4 を形成する。即ち、シリコン酸化膜 1103 とシリコン窒化膜 1104 の積層膜マスクをパターン形成し、R I E によりシリコン層 1301、1302 に 20 nm 程度のトレンチを加工した後、CVD-T E O S 酸化膜の堆積と平坦化により、素子分離絶縁膜 4 を埋め込む。

次に、シリコン窒化膜 1104 と酸化膜 1103 を除去した後、通常のトランジスタ工程に入る。即ち図 28F に示すように、ゲート絶縁膜を介してゲート電極 62 を形成し、ソース、ドレインとなる n 型拡散層 63 を形成する。ゲート電極 62 は、多結晶シリコン膜 (50 nm) とタングステン・シリサイド膜 (50 nm) の積層膜とする。具体的にはこの積層膜上に更にキャップ絶縁膜としてのシリコン窒化膜 64 をパターン形成し、これをマスクとして、タングステン・シリサイド膜と多結晶シリコン膜を順次エッチングする。但し、ゲート電極として多結晶シリコン単層でもよいし、他の積層構造を用いることもできる。

図 28F では、通常のシングル・ソース/ドレイン構造を示しているが、これを LDD 構造とすることもできる。その場合には、図 28F の状態では、例えばリンのイオン注入を、加速電圧 70 KeV 、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ 程度の条件で行って低濃度の n 型拡散層を形成する。そして、図 27 に示すように、ゲート電極 62 の側壁に側壁絶縁膜 69 を形成した状態で、砒素イオン注入を例えば、加速電圧 30 KeV 、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件で行って、高濃度 n 型拡散層を形成する。

このトランジスタ形成工程で、一つの素子領域に二つ形成されるトランジスタの拡散層 63 のうち、キャパシタに接続されるべき拡散層 63 は、丁度キャパシタ 2 上のコンタクト層 9 に位置し、コンタクト層 9 に対して底面が接続されることになる。実際には、コンタクト層 9 から上方への n 型不純物拡散が、上からのソース、ドレイン n 型拡散層と重なり、低抵抗の接続が可能となる。

トランジスタ形成後、図 27 に示すように、全面に CVD シリコン窒化膜 66

を30nm程度堆積し、更に層間絶縁膜67としてBPSG膜を堆積する。これらの膜堆積後、N₂雰囲気中で800℃、30分程度のデンシファイ熱処理を行う。この熱工程は、ソース、ドレインの不純物活性化を兼ねて行ってもよい。ソース、ドレインの拡散深さを抑えたい場合には、熱処理の温度を750℃程度の低温とし、950℃、10秒程度のRTA (Rapid Thermal Anneal) プロセスを併用する。層間絶縁膜67はその後、CMPにより平坦化する。

次に、ビット線コンタクト領域にコンタクト孔を開口し、砒素ドーパ多結晶シリコンを埋め込んでビット線コンタクト層8とする。続いて、図には示さないが、ソース、ドレイン、ゲート電極へのコンタクト孔を形成し、ビット線7を形成する。更に、層間絶縁膜を堆積し、金属配線を形成した後、全面にパシベーション膜を形成して、DRAMが完成する。

この実施例によると、SOI基板とエピタキシャル成長技術を組み合わせることにより、キャパシタ上に重ねられるトランジスタを形成する能動素子領域の結晶欠陥を低減できる。より具体的には、キャパシタ上に形成されるトランジスタのゲート酸化膜の欠陥を抑えて、信頼性の高いDRAMを得ることが可能になる。

次にこの発明の第15の実施例について説明する。

第14の実施例において、素子分離絶縁膜4は、シリコン層1302を成長させた後に形成される一層の埋め込み絶縁膜である。これに対して第15の実施例においては、STI技術による2段階の埋め込みによる素子分離構造を用いる。

図29は、図10のDRAMレイアウトを用いた場合の第1の素子分離絶縁膜41の埋め込みの様子を示すレイアウトであり、図30は第1の素子分離絶縁膜41を形成した後、シリコン層1302をエピタキシャル成長させた状態を示す断面図である。

第1の素子分離絶縁膜41は、図29に示すように、x方向の素子分離領域のみに埋め込み形成され、この段階でy方向の素子分離は行われない。第1の素子分離絶縁膜41は、図30に示すように、シリコン層1301の底面の酸化膜1304に達する深さに埋め込まれる。そして、第1の素子分離絶縁膜41の一部を貫通するように、キャパシタノード層への接続用コンタクト孔を加工し、側壁絶縁膜1107を形成した後、コンタクト層9を埋め込む。その後、シリコン層1302をエピタキシャル成長させる。

この後、第2の素子分離絶縁膜42をやはりSTI技術により埋め込む。図31は第2の素子分離絶縁膜42のレイアウトを示している。即ち、第2の素子分離絶縁膜42は、x、y方向の素子分離領域を全て連結した状態で、且つx方向の素子分離領域では第1の素子分離絶縁膜41のエッジより外側にあるように埋め込まれる。図32が図31の断面図であり、第2の素子分離絶縁膜42は第1の素子分離絶縁膜41より浅く埋め込まれている。

図33はこの様な2ステップの素子分離絶縁膜構造を用いた基板にトランジスタを形成した状態の断面図である。

この実施例によると、隣接するメモリのキャパシタノードが対向するx方向の素子分離領域に、底部酸化膜に達する深い第1の素子分離絶縁膜41を形成することにより、x方向に隣接するキャパシタノード間の短絡やリークを確実に防止することが可能になる。また、第2の素子分離絶縁膜42は、図32から明らかなように、x方向については第1の素子分離絶縁膜41のエッジより外側に形成されるから、トランジスタのn型拡散層63とコンタクト層9との接続面積を大きく確保することができる。これにより、工程のゆらぎ等があった場合にも、

キャパシタとトランジスタの接続を低抵抗で且つ安定に行うことができる。

- 5 なお、この様な２段階のＳＴＩによる素子分離構造は、ＤＲＡＭに限らず、その他の各種半導体集積回路に適用することができる。即ち、一定の電氣的導通を維持しながら素子分離を行う箇所に浅いＳＴＩ分離膜を形成し、リークやラッチアップ防止のため電氣的導通を完全に遮断したい箇所には底部絶縁膜に達する深いＳＴＩ分離膜を形成することにより、所望の特性の集積回路を得ることが可能になる。

- 10 While the invention has been described in detail with reference to the appended drawings, the invention is limited in scope only by the claims. Moreover, any patent or publication cited herein should be construed to be incorporated by reference as to any subject matter deemed essential to the present disclosure.

09660390.093200

WHAT IS CLAIMED IS:

1. 半導体基板と、

この半導体基板上に形成された第1導電型の第1半導体領域と、

この第1半導体領域上に形成され、前記第1導電型とは反対導電型である第2導電型の第2半導体領域と、

トレンチを有するトレンチキャパシタであって、前記トレンチは前記第1半導体領域及び前記第2半導体領域を通過し、前記トレンチキャパシタの上部が前記第2半導体領域の上表面には到達しないように形成され、前記トレンチ内には導電体トレンチフィルが形成されるトレンチキャパシタと、

それぞれが前記第2半導体領域上に形成された一対のゲート電極であり、それぞれが前記トレンチキャパシタの上方に位置している一対のゲート電極と、

前記一対のゲート電極のそれぞれを覆うように形成された一対の絶縁層と、

前記一対の絶縁層のそれぞれに自己整合するように前記一対の絶縁層相互間に形成された導電層であり、この導電層の先端は前記第2半導体領域とは絶縁された状態で前記第2半導体領域の内部に達しており、かつ前記導電層は前記トレンチキャパシタの前記導電体トレンチフィルと電気的に接続されている導電層と、

前記導電層を中心に互いに対向するように配置され、それぞれが前記導電層と直接に接触する。前記第2半導体領域内に形成された第1導電型の一対の第3半導体領域であって、この一対の第3半導体領域のそれぞれは前記一対のゲート電極のそれぞれを有するトランジスタのソース、ドレインのいずれか一方を構成し、前記一対の第3半導体領域のそれぞれは実質的に一様な深さで形成されている一対の第3半導体領域と

を有する半導体記憶装置。

2. 半導体基板と、

この半導体基板に一定ピッチで配列形成され複数のトレンチキャパシタと、これらのトレンチキャパシタが形成された半導体基板上に形成された半導体層と、

この半導体層に埋め込み形成されて、隣接する二つのトレンチキャパシタにまたがる複数の能動素子領域を区画する素子分離絶縁膜と、

前記各能動素子領域に、ソース、ドレイン拡散層の一方を共有し他方が隣接する二つのトレンチキャパシタの領域上に位置するように2個ずつ形成されて、ゲートが一方方向に連続するワード線に接続された複数のトランジスタと、

前記各トランジスタの前記ソース、ドレイン拡散層の他方を対応する前記トレンチキャパシタのキャパシタノード層に接続するコンタクト層と、

前記ワード線と交差して配設されて前記トランジスタのソース、ドレイン拡散層の一方に接続されたビット線とを有する半導体記憶装置。

3. 前記トレンチキャパシタは、最小加工寸法をFとして一辺が2Fの略正方形であり、その正方形の対角線方向を前記ワード線とビット線の直交二方向に一致させて、その正方形の直交する二辺の方向にスペースが1F以下の一定ピッチで配列されている請求項2記載の半導体記憶装置。

4. 前記トレンチキャパシタは、最小加工寸法をFとして一辺が2Fの略正方形であり、その正方形の辺の方向を前記ワード線とビット線の直交二方向に一致させ、ビット線方向にスペースが2F以上の一定ピッチで且つ、隣接するビット線では順次1/2ピッチずつずれた状態で配列されている請求項2記載の半

導体記憶装置。

5. 前記能動素子領域は、前記ビット線方向に一定ピッチで且つ隣接するビット線で順次 $1/4$ ピッチずつずれた状態に配列される請求項 3 記載の半導体記憶装置。

5 6. 前記コンタクト層は、前記トランジスタ形成後に前記ソース、ドレイン拡散層の他方を貫通して前記キャパシタノード層に達するように埋め込み形成されている請求項 2 記載の半導体記憶装置。

7. 前記半導体層は、第 1 のエピタキシャル成長層とこの上に形成された

10 前記コンタクト層は、前記第 2 のエピタキシャル成長層の形成前に前記第 1 のエピタキシャル成長層に前記キャパシタノード層に達するように埋め込み形成され、

前記ソース、ドレイン拡散層は前記第 2 のエピタキシャル成長層形成後に形成されて、前記ソース、ドレイン拡散層の他方の底面が前記コンタクト層の上面に接続される請求項 2 記載の半導体記憶装置。

15 8. 前記コンタクト層は、前記トランジスタ形成前に前記半導体層に前記キャパシタノード層に達するように埋め込み形成され、前記ソース、ドレイン拡散層の他方は、前記コンタクト層の上部側方に形成された埋め込み拡散層を介して前記コンタクト層に接続されている請求項 2 記載の半導体記憶装置。

20 9. 前記コンタクト層は、前記トランジスタ形成前に前記半導体層に前記キャパシタノード層に達するように埋め込み形成され、前記ソース、ドレイン拡散層の他方は、その表面に形成された接続導体を介して前記コンタクト層の上面に接続されている請求項 2 記載の半導体記憶装置。

25 10. 前記半導体層は、前記キャパシタが形成された半導体基板に貼り合わせられた別の半導体基板のバルク半導体層と、このバルク半導体層に形成されたエピタキシャル成長層とからなり、

前記コンタクト層は、前記エピタキシャル成長層の形成前に前記バルク半導体層に前記キャパシタノード層に達するように埋め込み形成され、

30 前記ソース、ドレイン拡散層は前記エピタキシャル成長層形成後に形成されて、前記ソース、ドレイン拡散層の他方の底面が前記コンタクト層の上面に接続される請求項 2 記載の半導体記憶装置。

11. 前記半導体基板とこれに貼り合わされた別の半導体基板の貼り合わせ面には基板分離用絶縁膜が介在し、

35 前記素子分離絶縁膜は、ビット線方向の素子分離領域に前記基板分離用絶縁膜に達する深さに埋め込み形成された第 1 の素子分離絶縁膜と、この第 1 の素子分離絶縁膜と一部重なりビット線方向とワード線方向の素子分離領域に第 1 の素子分離絶縁膜より浅く埋め込み形成された第 2 の素子分離絶縁膜を有する請求項 10 記載の半導体記憶装置。

12. 半導体基板と、

40 この半導体基板に能動素子領域を区画するために埋め込み形成された、第 1 の絶縁膜とこれより浅い第 2 の絶縁膜とからなる素子分離絶縁膜と、この素子分離絶縁膜により区画された前記能動素子領域に形成された素子とを有する半導体装置。

45 13. 半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、

前記トレンチキャパシタが形成された半導体基板上に半導体層をエピタキシャル成長させる工程と、

前記半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、

前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記トレンチキャパシタ上に位置するように、且つゲート電極が一方に連続するワード線となるように形成する工程と、

前記ゲート電極の間に前記ソース、ドレイン拡散層の他方を貫通して前記キャパシタノード層に達するコンタクト層を埋め込む工程と、

前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程と

を有する半導体記憶装置の製造方法。

14. 半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、

前記トレンチキャパシタが形成された半導体基板上に第1の半導体層をエピタキシャル成長させる工程と、

前記第1の半導体層に前記キャパシタノード層に達するコンタクト層を埋め込む工程と、

前記コンタクト層が埋め込まれた第1の半導体層上に第2の半導体層をエピタキシャル成長させる工程と、

前記第2の半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、

前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記コンタクト層の上面に接続されるように、且つゲート電極が一方に連続するワード線となるように形成する工程と、

前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程と

を有する半導体記憶装置の製造方法。

15. 半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、

前記トレンチキャパシタが形成された半導体基板上に半導体層をエピタキシャル成長させる工程と、

前記半導体層に前記トレンチキャパシタのキャパシタノード層に達するコンタクト層をその上端部が前記半導体層に形成される不純物拡散層に接続された状態に埋め込み形成する工程と、

前記半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、

前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記不純物拡散層を介して前記コンタクト層に接続されるように、且つゲート電極が一方に連続するワード線となるように形成する工程と、

前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程と

を有する半導体記憶装置の製造方法。

1 6. 半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、

前記トレンチキャパシタが形成された半導体基板上に半導体層をエピタキシャル成長させる工程と、

10 前記半導体層に前記トレンチキャパシタのキャパシタノード層に達するコンタクト層を埋め込み形成する工程と、

前記半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、

15 前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記トレンチキャパシタ領域上に位置するように、且つゲート電極が一方に連続するワード線となるように形成する工程と、

前記ソース、ドレイン拡散層の他方を対応する前記コンタクト層に接続するための表面接続導体を前記ワード線に自己整合された状態に形成する工程と、

20 前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程と

を有する半導体記憶装置の製造方法。

1 7. 半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で複数のトレンチキャパシタを一定ピッチで配列形成する工程と、

25 前記トレンチキャパシタが形成された半導体基板上に基板分離用絶縁膜を介して別の半導体基板を貼り合わせることににより第1の半導体層を形成する工程と、

前記第1の半導体層に前記キャパシタノード層に達するコンタクト層を埋め込む工程と、

30 前記コンタクト層が埋め込まれた第1の半導体層上に第2の半導体層をエピタキシャル成長させる工程と、

前記第1及び第2の半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、

35 前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記コンタクト層の上面に接続されるように、且つゲート電極が一方に連続するワード線となるように形成する工程と、

前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程と

を有する半導体記憶装置の製造方法。

ABSTRACT OF THE DISCLOSURE

半導体基板と、この半導体基板上に形成された第1導電型の第1半導体領域と、この第1半導体領域上に形成され、第1導電型とは反対導電型である第2導電型の第2半導体領域と、トレンチを有するトレンチキャパシタであって、
5 前記トレンチは前記第1半導体領域及び前記第2半導体領域を通過し、前記トレンチキャパシタの上部が前記第2半導体領域の上表面には到達しないように形成され、前記トレンチ内には導電体トレンチフィルが形成されるトレンチキャパシタと、それぞれが前記第2半導体領域上に形成された一対のゲート電極であり、それぞれが前記トレンチキャパシタの上方に位置している一対のゲート電極と、
10 前記一対のゲート電極のそれぞれを覆うように形成された一対の絶縁層と、前記一対の絶縁層のそれぞれに自己整合するように前記一対の絶縁層相互間に形成された導電層であり、この導電層の先端は前記第2半導体領域とは絶縁された状態で前記第2半導体領域の内部に達しており、かつ前記導電層は前記トレンチキャパシタの前記導電体トレンチフィルと電気的に接続されている導電層と、
15 前記導電層を中心にして互いに対向するように配置され、それぞれが前記導電層と直接に接触する。前記第2半導体領域内に形成された第1導電型の一対の第3半導体領域であって、この一対の第3半導体領域のそれぞれは前記一対のゲート電極のそれぞれを有するトランジスタのソース、ドレインのいずれか一方を構成し、前記一対の第3半導体領域のそれぞれは実質的に一様な深さで形成されている一対の第3半導体領域とを有する半導体記憶装置。
20

Figure 1A

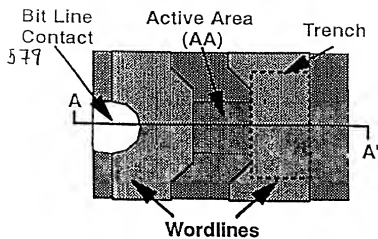


Figure 1B

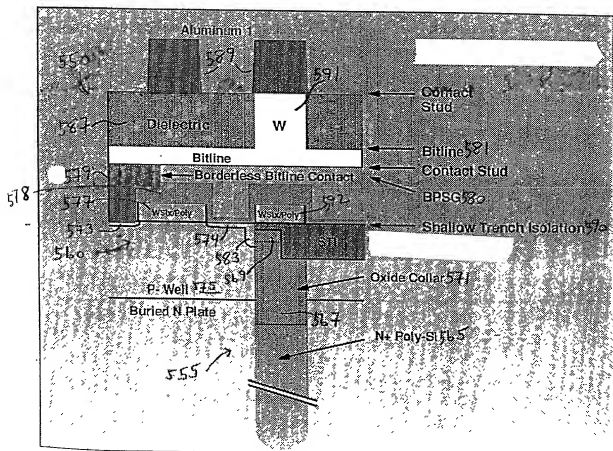
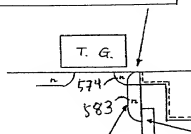


Figure 2A

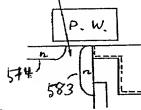
Effect Of SN Junction On T. G.



BS Junction Leak
Caused By Defects, Stress & Interface

Figure 2B

Discontinuity Of XA-SN By P. W.



Defects & Stress Caused By
AA Ox & Collar Ox Volume Expansion
At DT-AA Intersection
@ AA Ox, Sac. Ox, Gate Ox, SW Ox

09560344 10012011

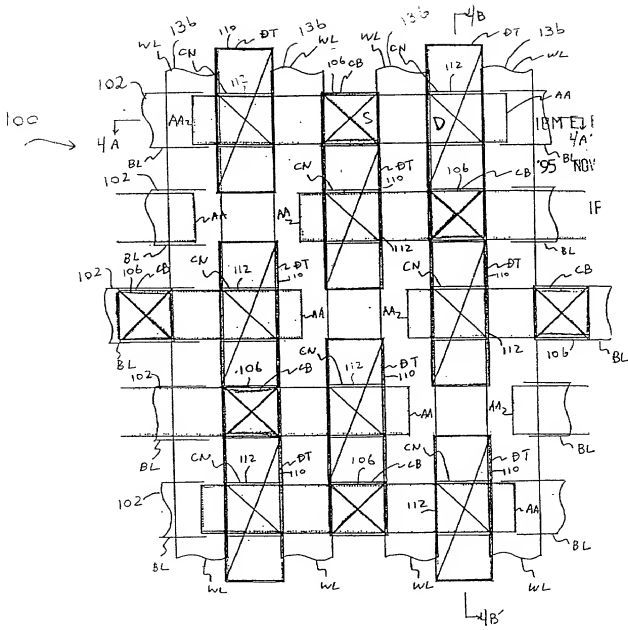


Figure 3

Figure 5D

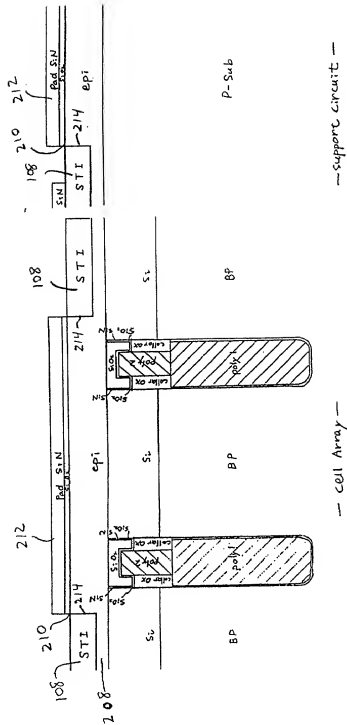


Figure 5E

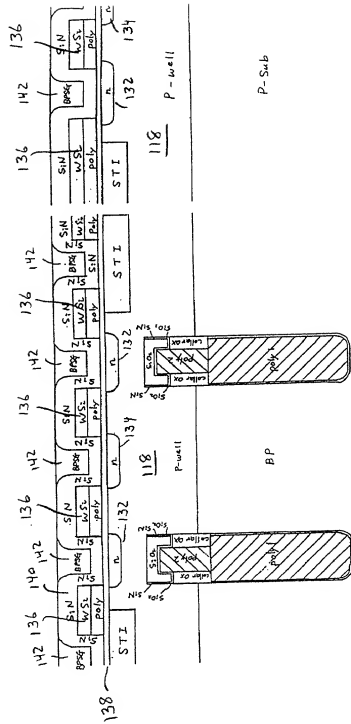


Figure 5F

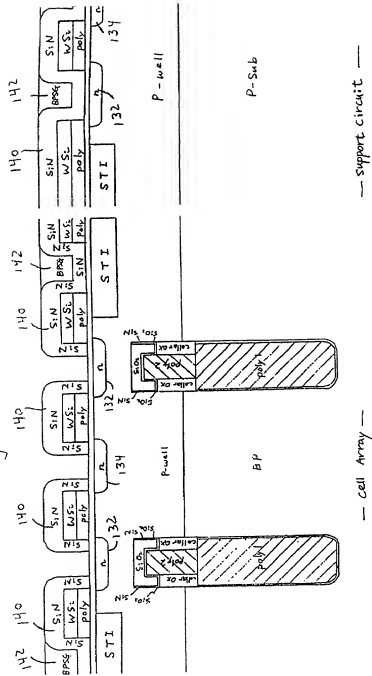


Figure 5H

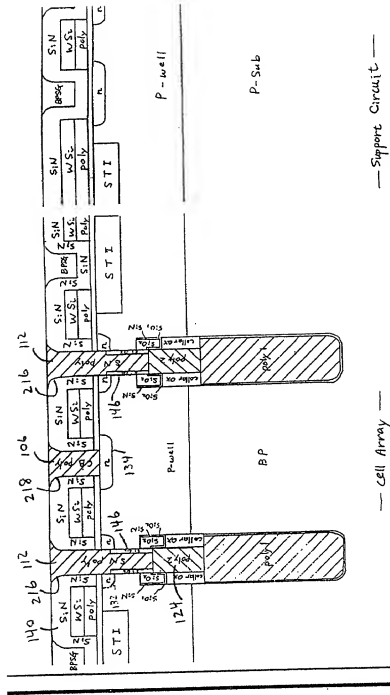


Figure 5I

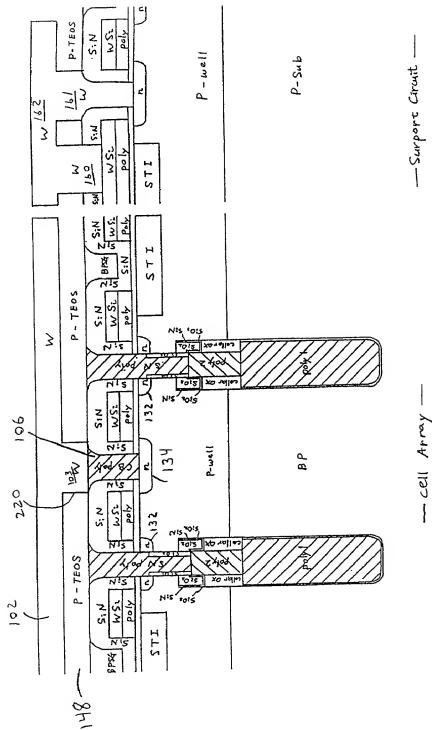
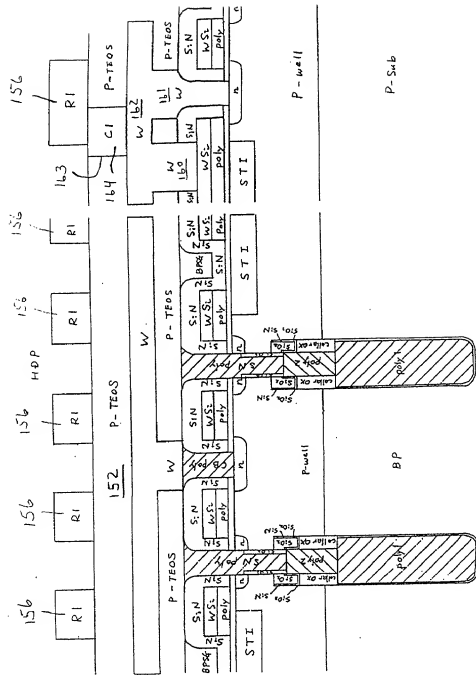


Figure 5J



—Support Circuit—

—Cell Array—

Figure 6

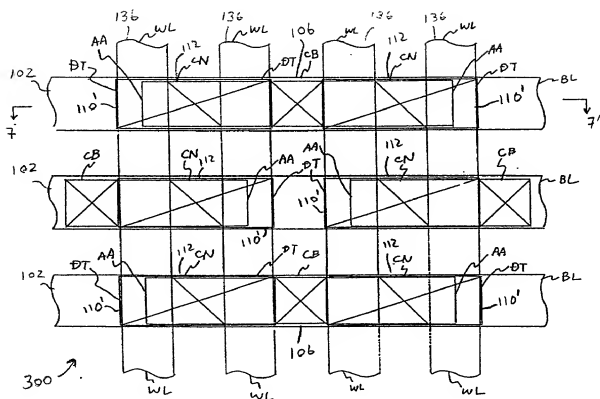


Figure 8

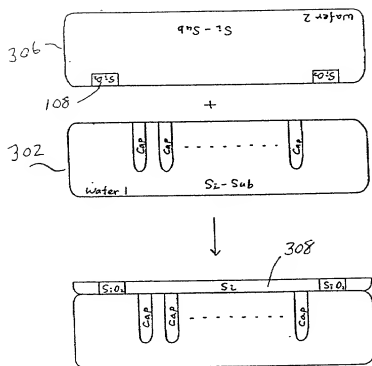


Figure 9A

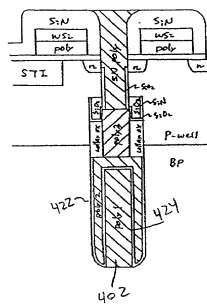
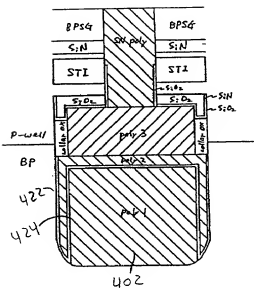


Figure 9B



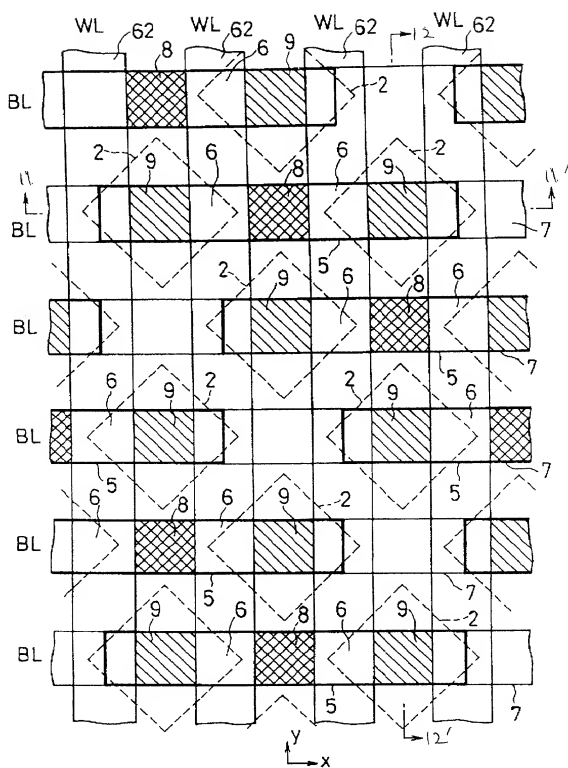


Figure 10

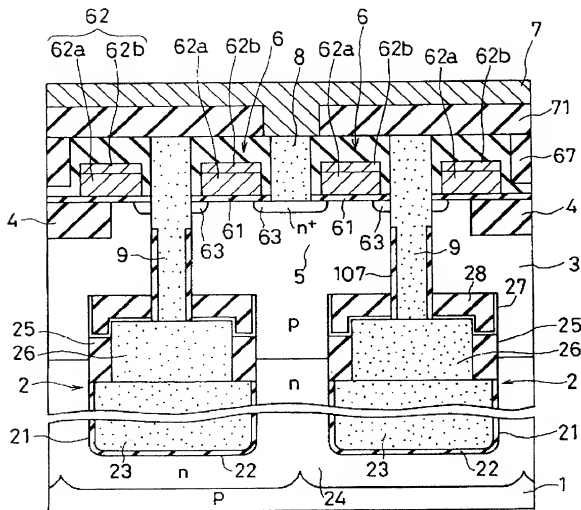


Figure 11

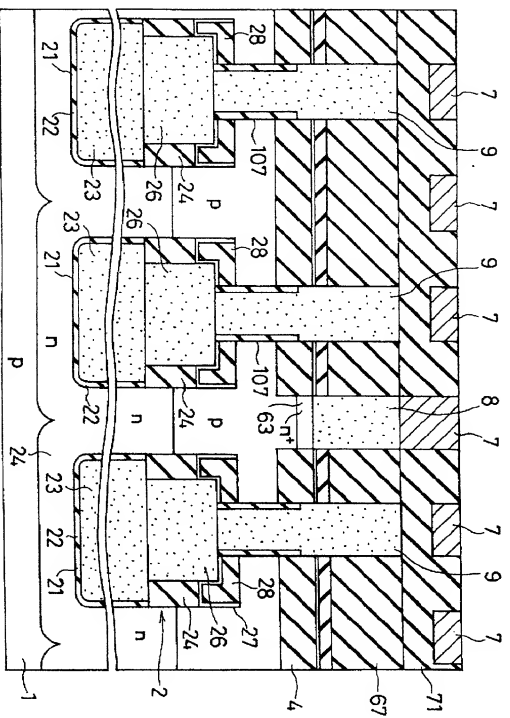


Figure 12

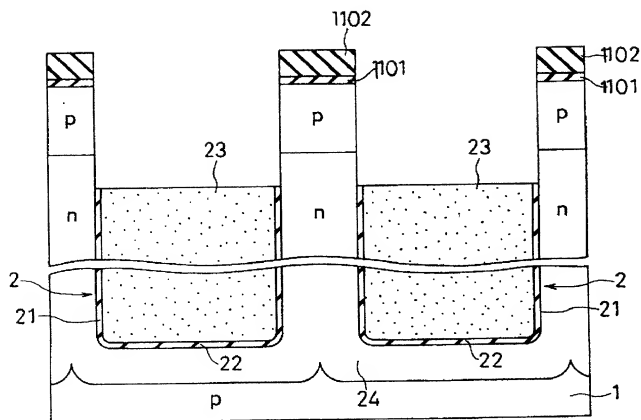


Figure 13A

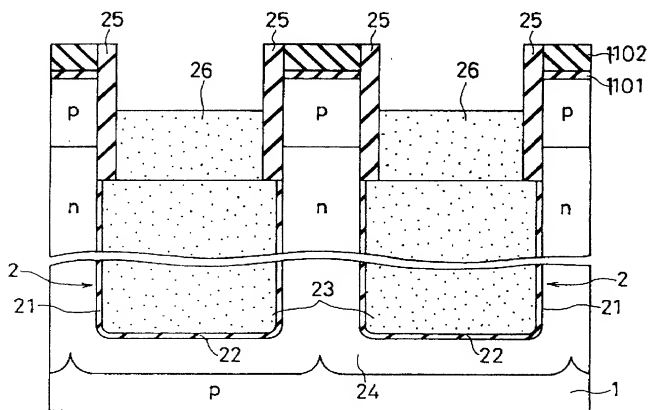


Figure 13B

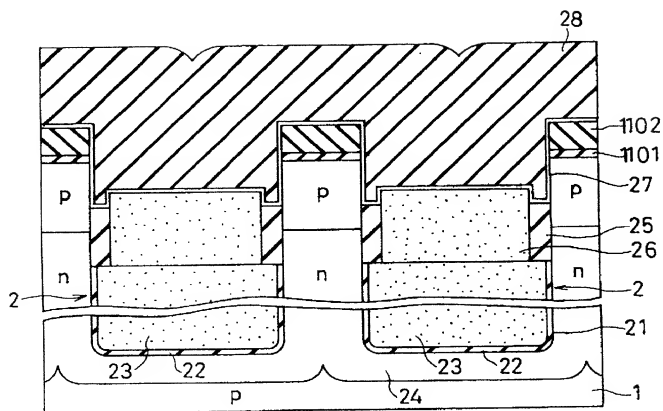


Figure 13C

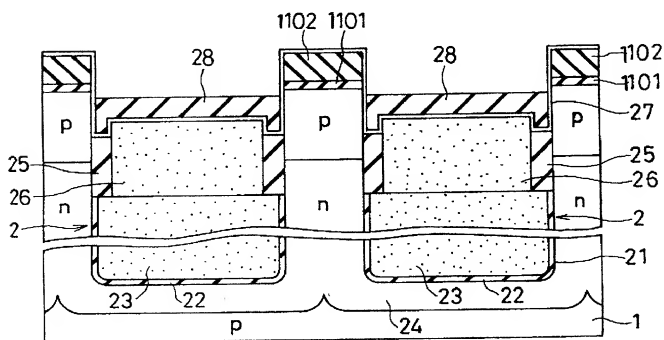


Figure 13D

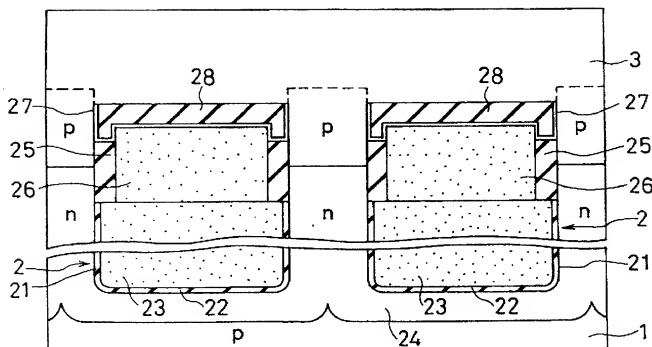


Figure 13E

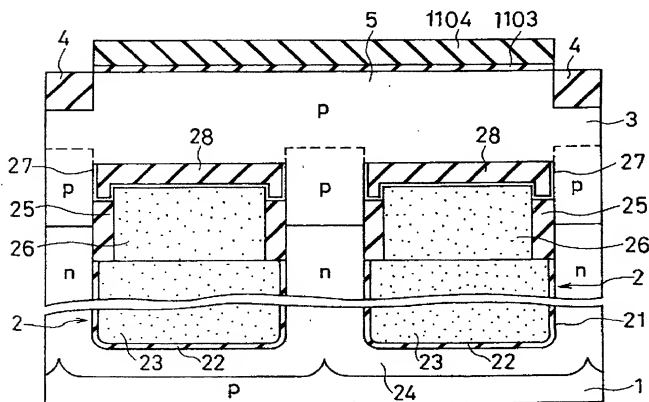


Figure 13F

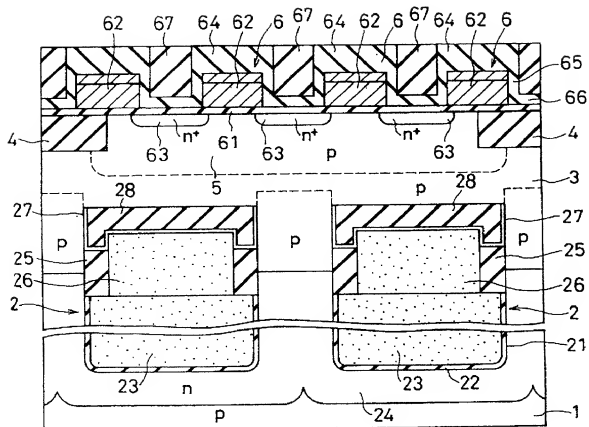


Figure 13G

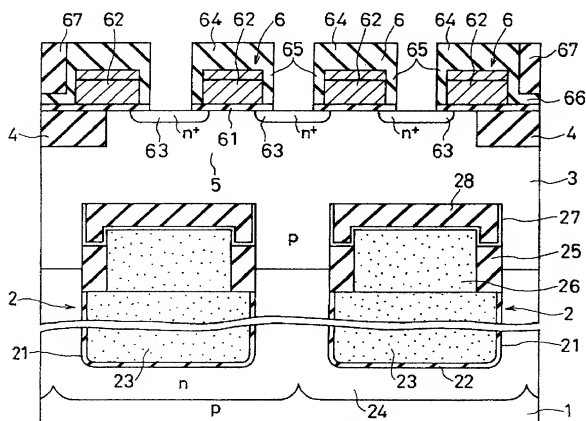


Figure 13H

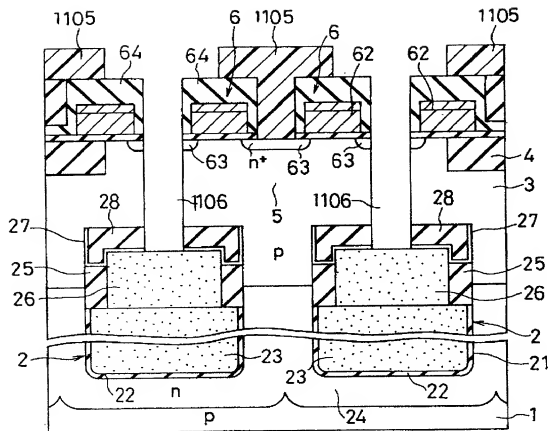


Figure 13I

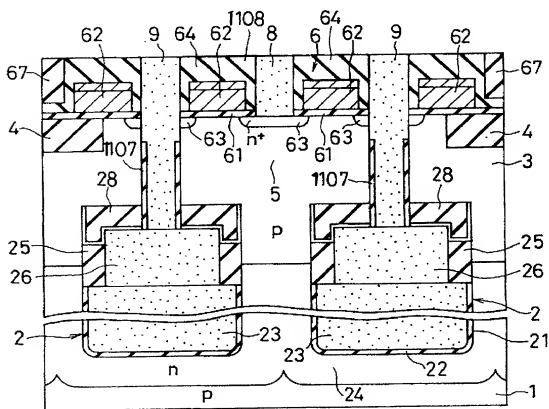


Figure 13J

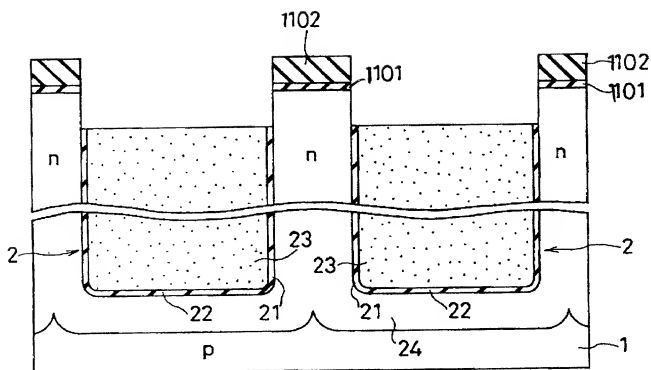


Figure 14A

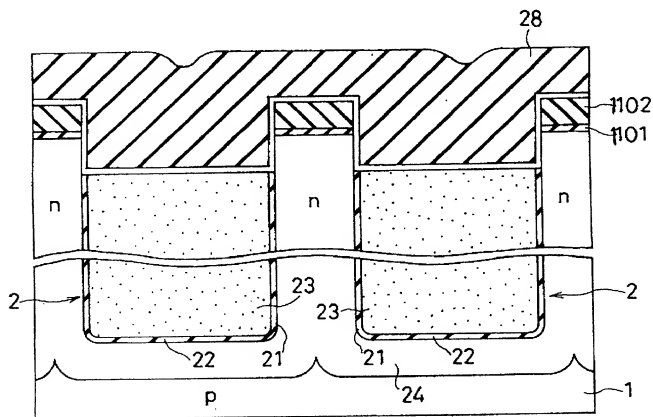


Figure 14B

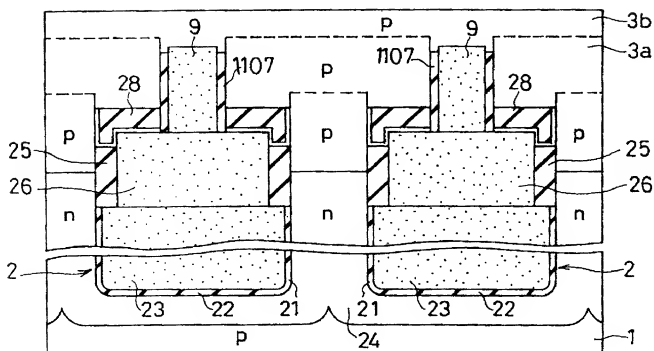


Figure 16C

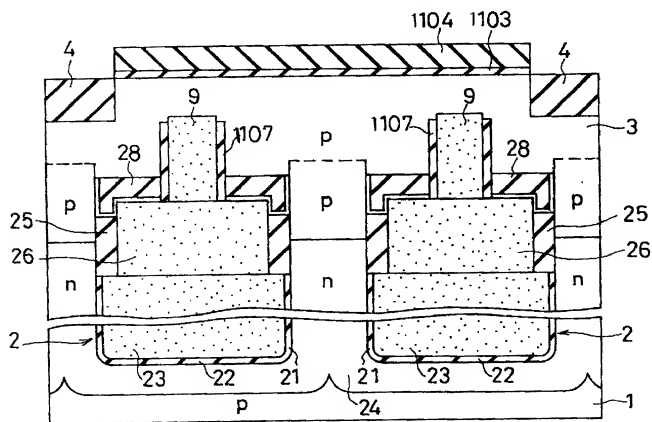


Figure 16D

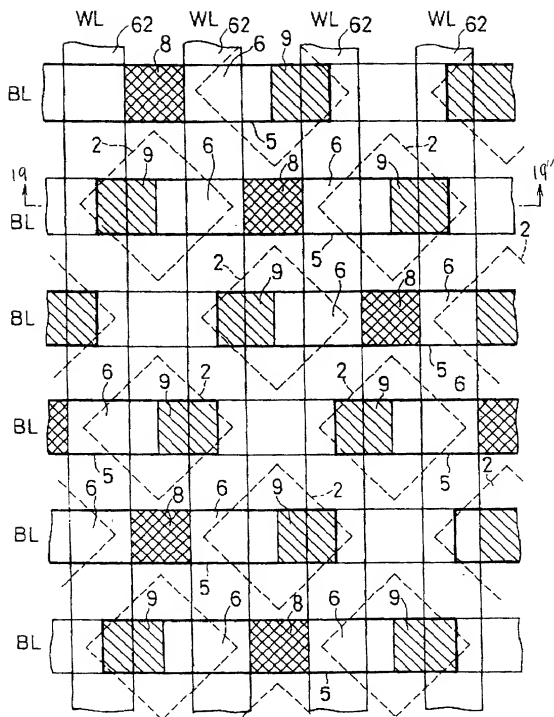


Figure 18

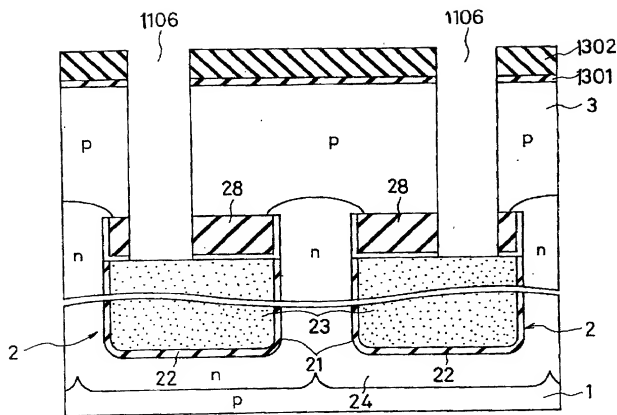


Figure 19A

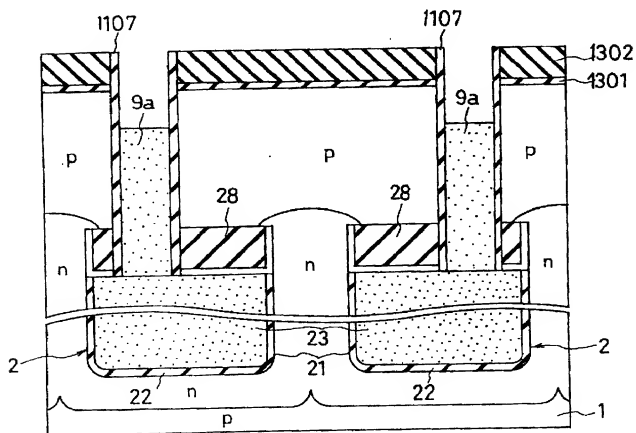


Figure 19B

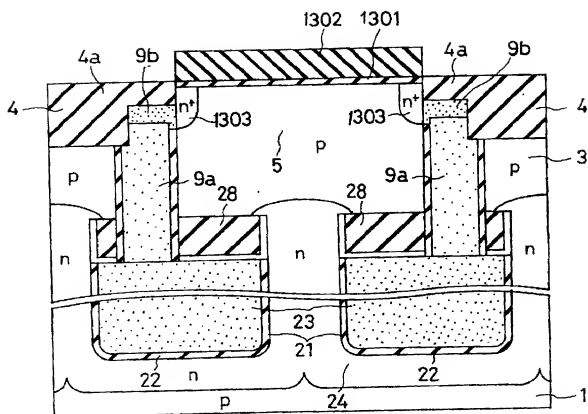


Figure 19E

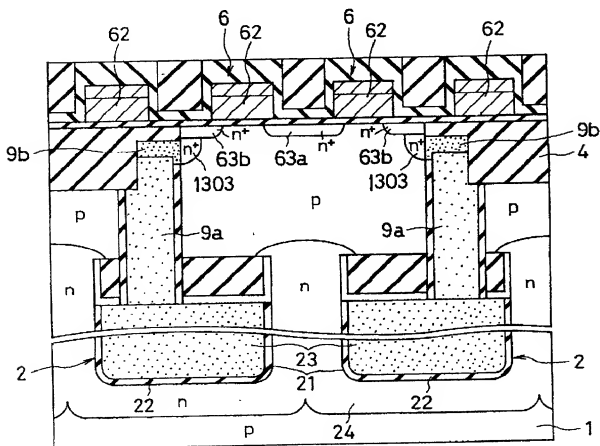


Figure 19F

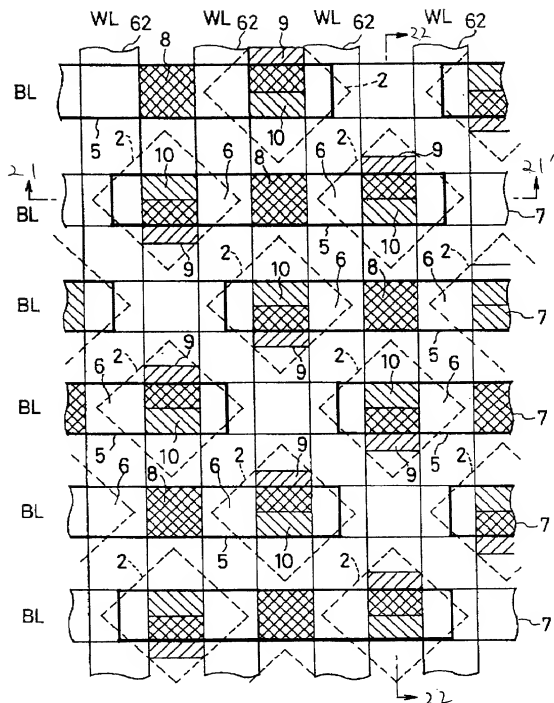


Figure 20

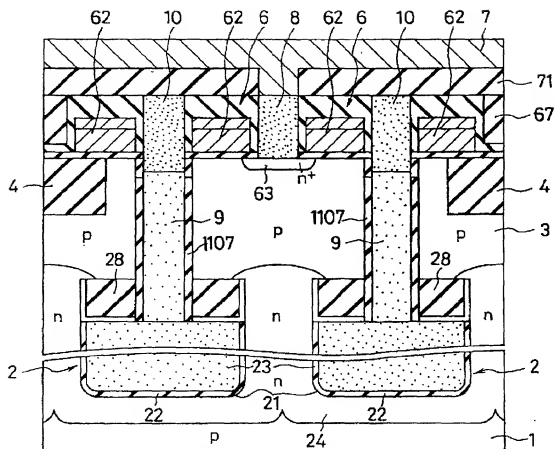


Figure 21

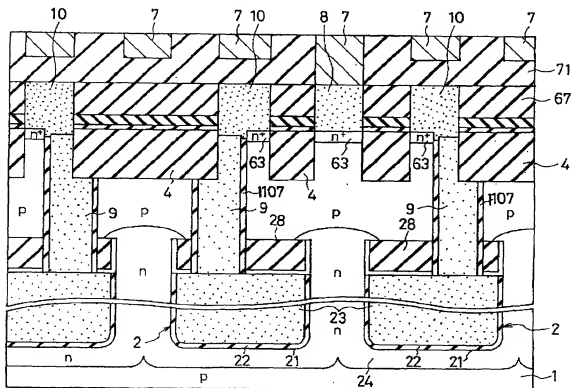


Figure 22

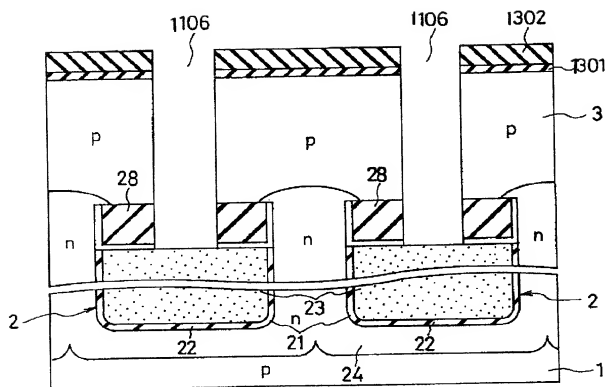


Figure 23A

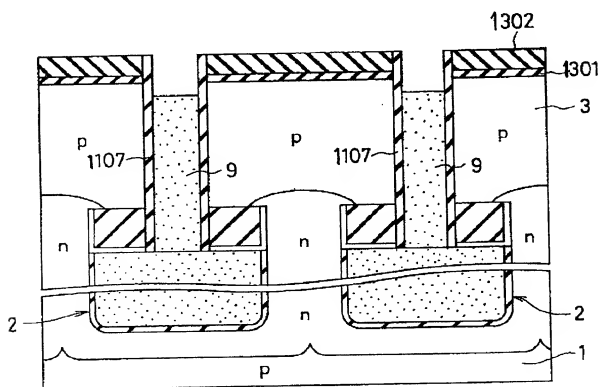


Figure 23B

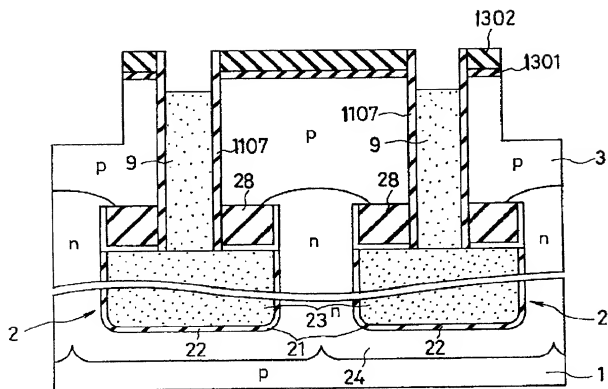


Figure 23C

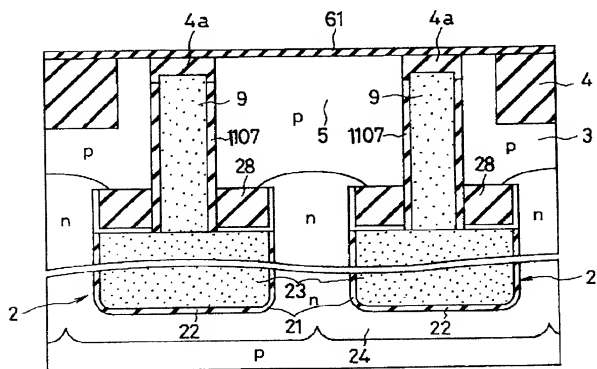


Figure 23D

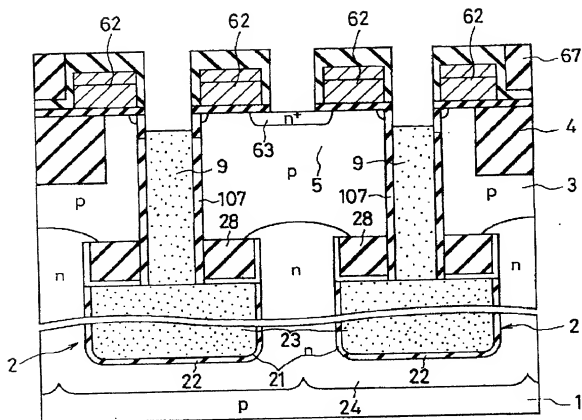


Figure 23G

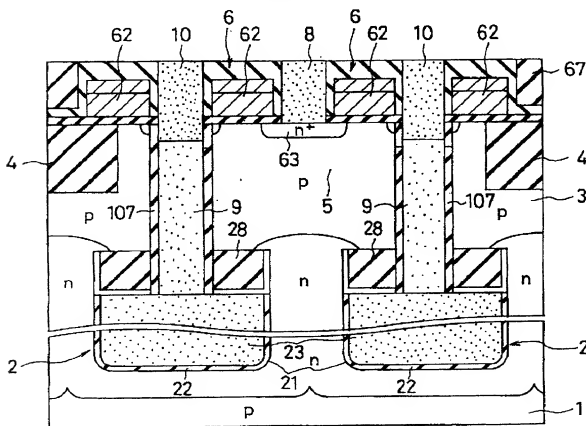


Figure 23H

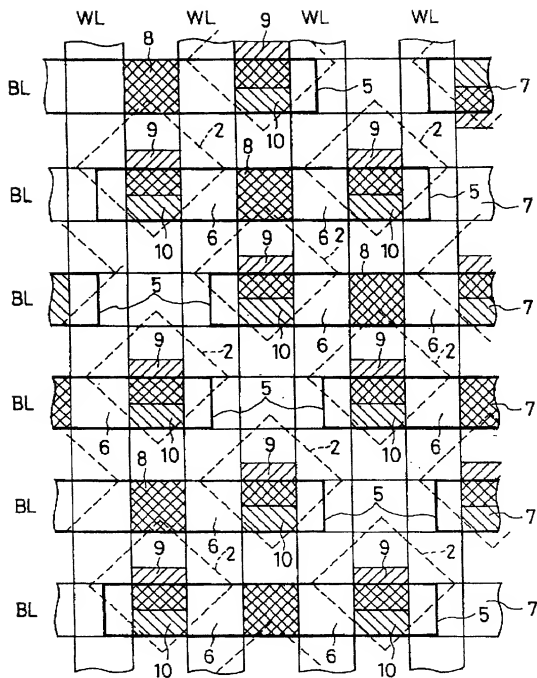


Figure 24

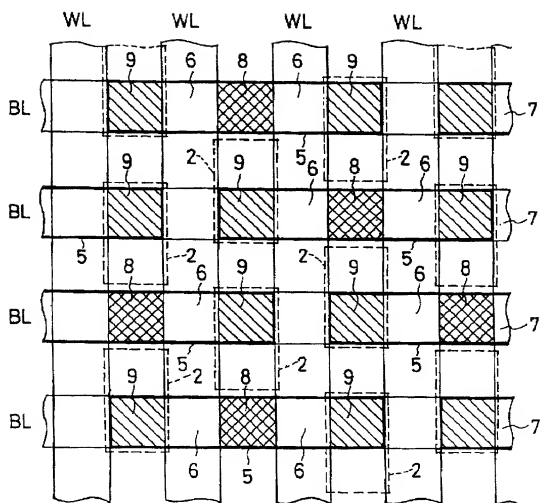


Figure 25

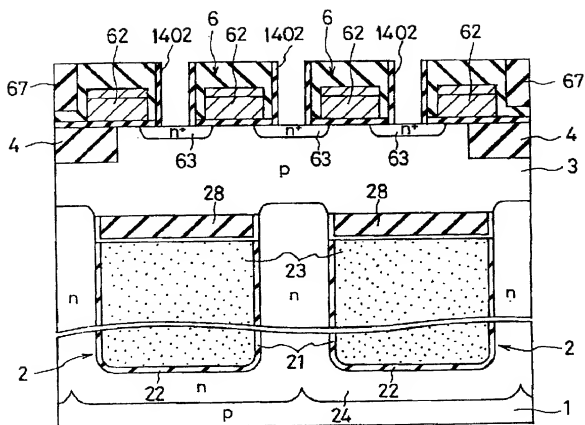


Figure 26A

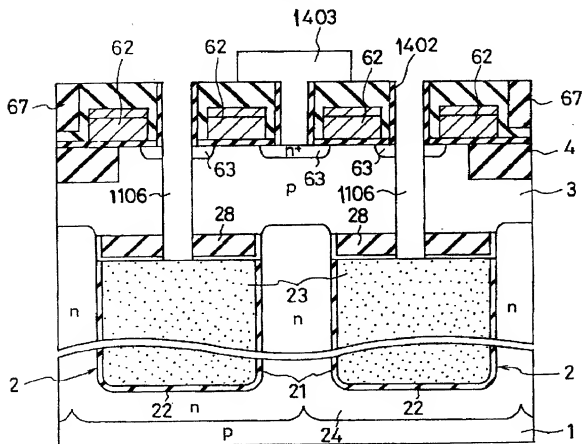


Figure 26B

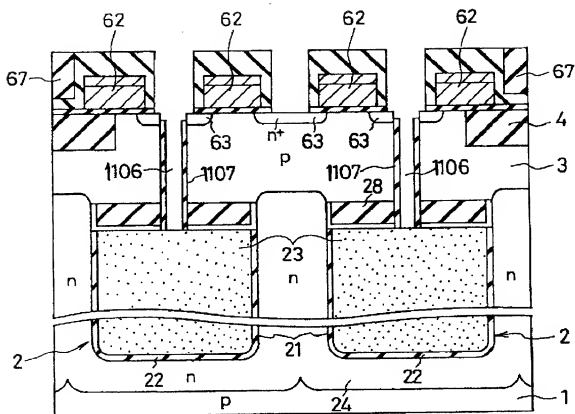


Figure 26C

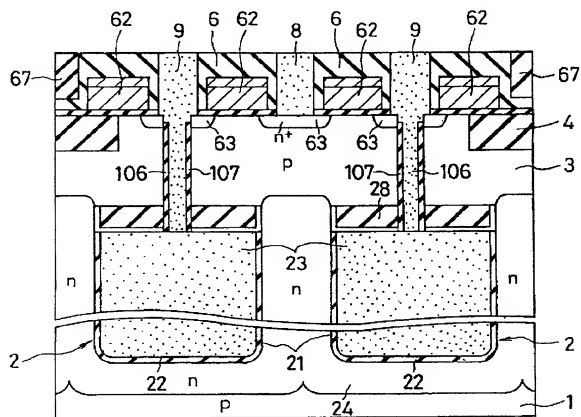


Figure 26D

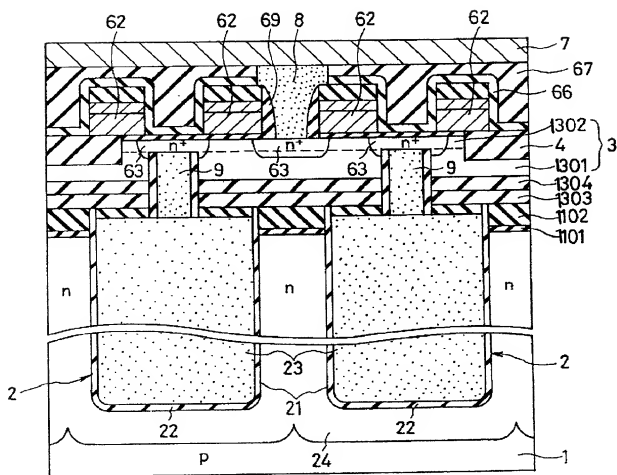


Figure 27

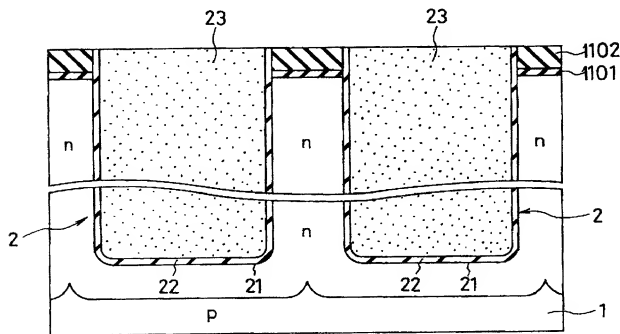


Figure 28A

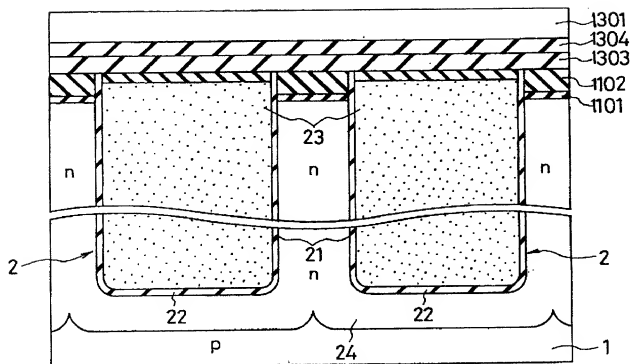


Figure 28B

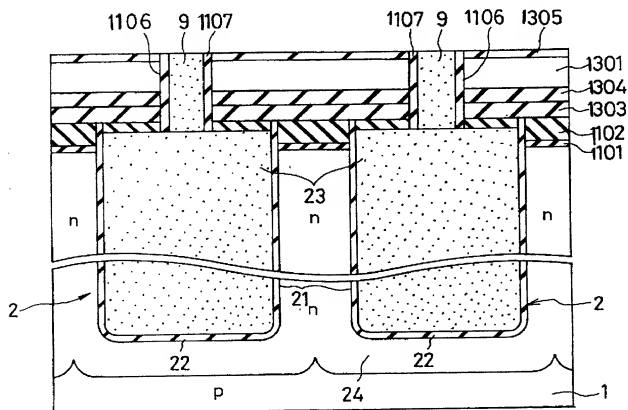


Figure 28C

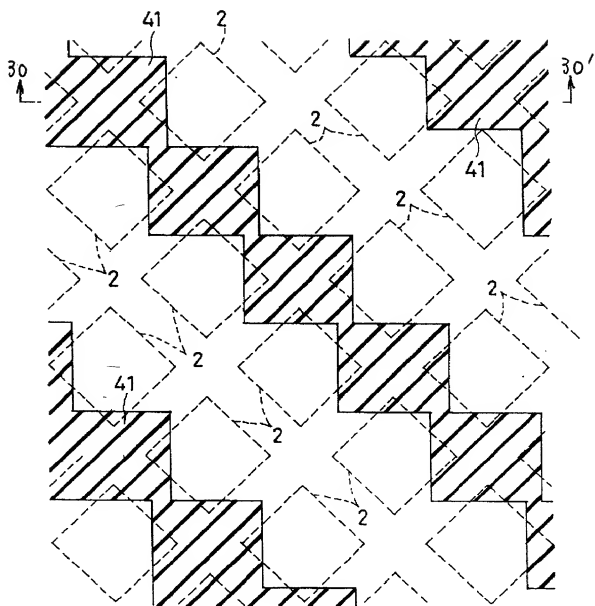


Figure 29

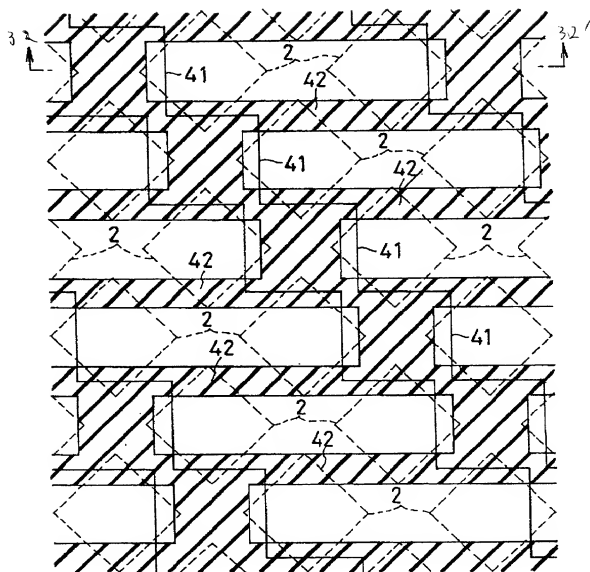


Figure 31

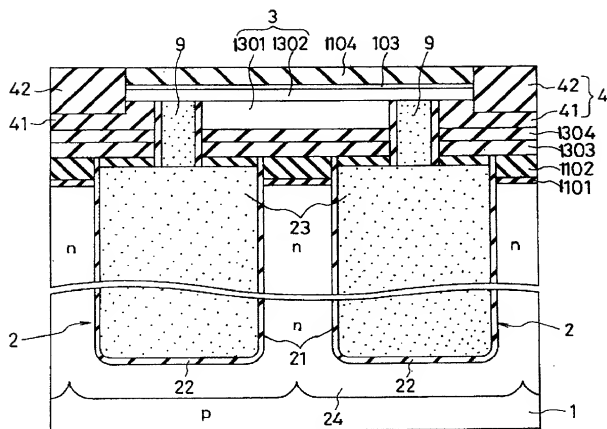


Figure 32

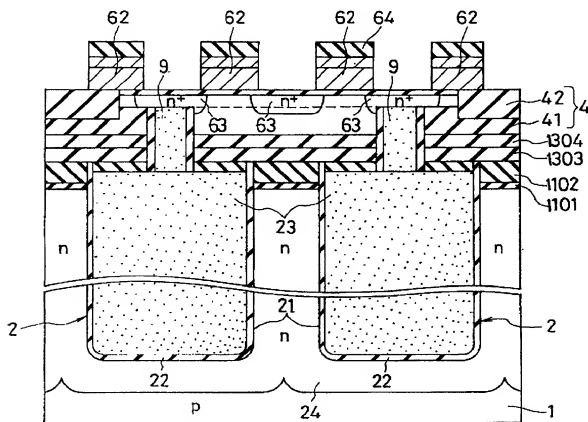


Figure 33